



electrónica general

Lógica Secuencial

tema 7

1. Introducción
2. Biestables asíncronos
 - 2.1. Biestable RS
 - 2.2. Flip-flop JK
 - 2.3. Flip-flop T
 - 2.4. Flip-flop D
3. Biestables síncronos
 - 3.1. Flip-flop síncrono
 - 3.2. Flip-flop síncrono con entradas asíncronas
4. Registros y contadores
 - 4.1. Registros de almacenamiento
 - 4.2. Registros de desplazamiento
 - 4.3. Formato de Datos serie y paralelo
 - 4.4. Contadores
5. Algunos ejemplos de circuitos secuenciales

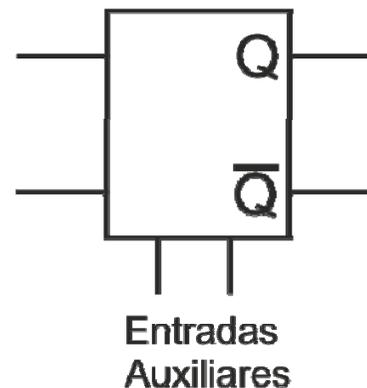
1.- Introducción

En los circuitos combinatoriales, las salidas dependen directamente de las entradas



A veces se necesita que una salida permanezca inalterable aunque cambie la entrada (por ejemplo para almacenar un dato)

Como la información puede ser **0** ó **1**, necesitamos un circuito **biestable**



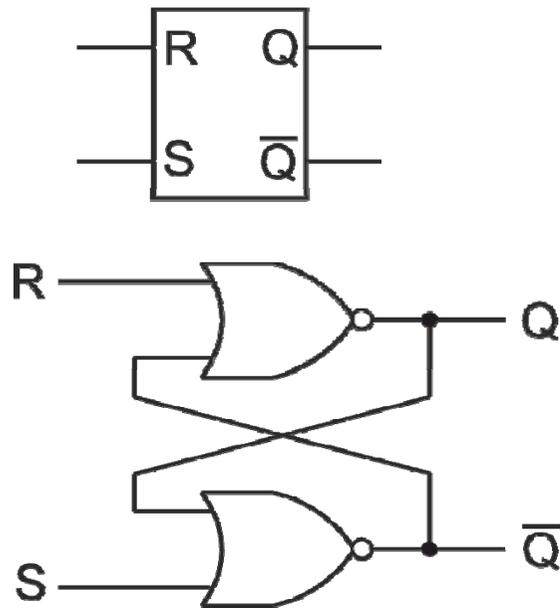
2. Biestables asíncronos.

2.1. Biestable RS (Reset Set).

Biastable: célula de memoria capaz de almacenar un bit. Sólo tiene dos estados posibles (**es la unidad mínima de memoria**)

Capaz de permanecer indefinidamente en uno de sus dos estados posibles, aunque haya desaparecido la señal de excitación.

Biastable = Báscula = Flip-Flop = Cerrojo



R	S	Q_{n+1}	Comentario
0	0	Q_n	No cambia la salida
0	1	1	SET = Puesta a 1
1	0	0	RESET = Puesta a 0
1	1	-----	Estado prohibido

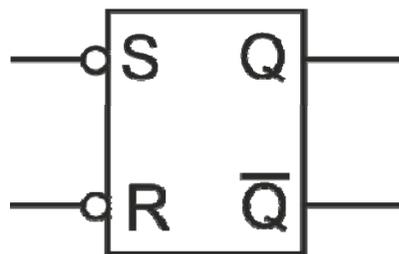
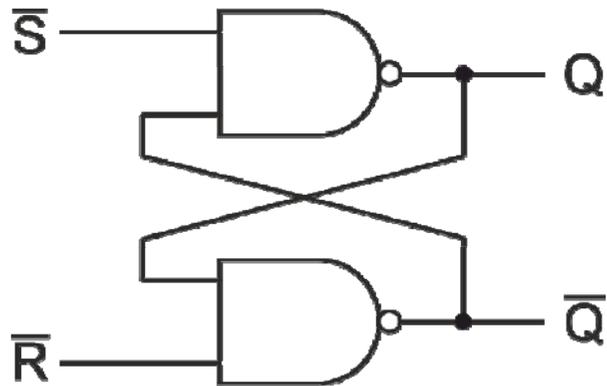
Q_n = Salida en el estado actual

Q_{n+1} = Salida en el estado siguiente

2. Biestables asíncronos.

2.1. Biestable RS (Reset Set).

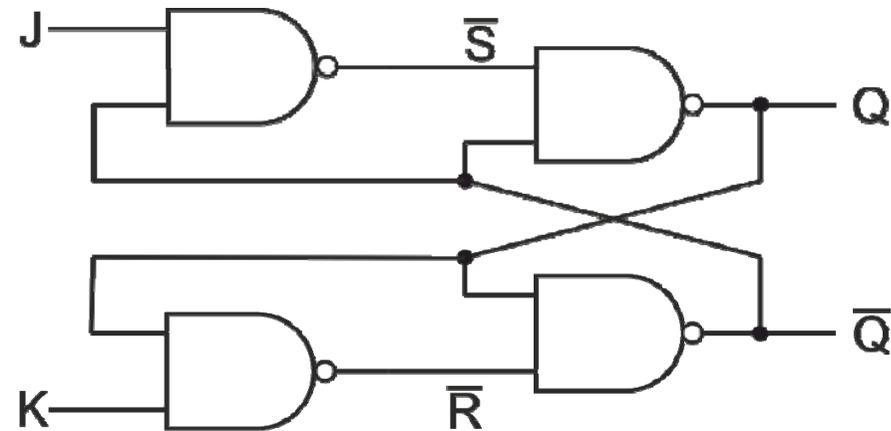
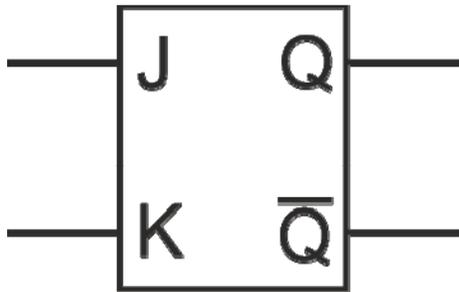
También se puede realizar con puertas **NAND**



\bar{S}	\bar{R}	Q_{n+1}	<i>Comentario</i>
1	1	Q_n	No cambia la salida
0	1	1	SET = Puesta a 1
1	0	0	RESET = Puesta a 0
0	0	-----	Estado prohibido

2. Biestables asíncronos.

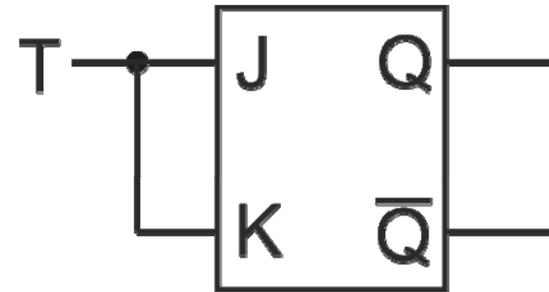
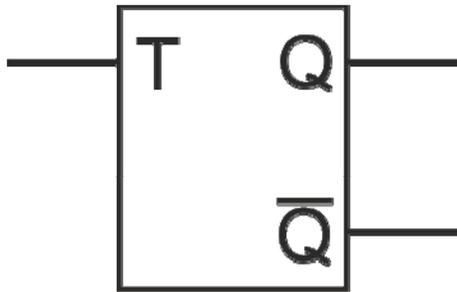
2.2. Flip-Flop JK.



J	K	Q_{n+1}	Comentario
0	0	Q_n	No cambia la salida
0	1	0	RESET = Puesta a 0
1	0	1	SET = Puesta a 1
1	1	\bar{Q}_n	La salida cambia de estado

2. Biestables asíncronos.

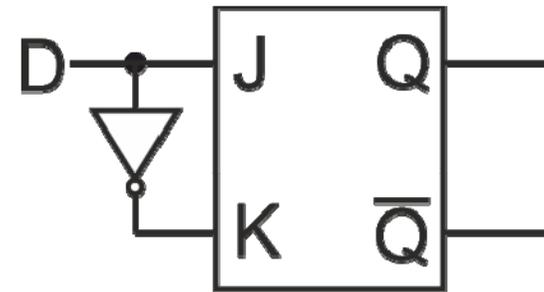
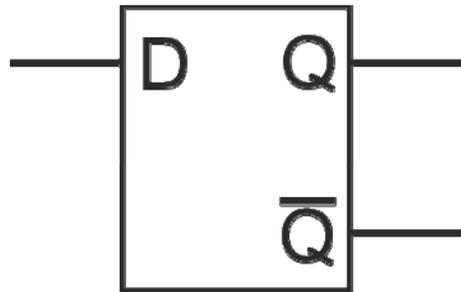
2.3. Flip-Flop T.



T	Q_{n+1}
0	Q_n
1	$\overline{Q_n}$

2. Biestables asíncronos.

2.4. Flip-Flop D.



D	Q_{n+1}
0	0
1	1

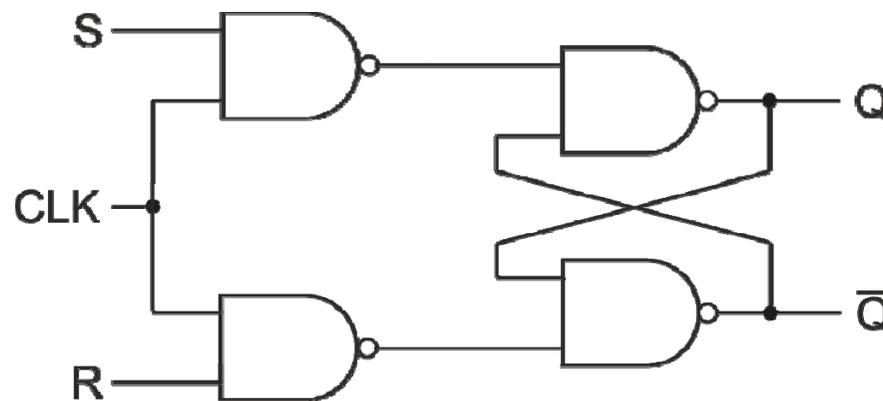
3. Biestables síncronos.

En los Flip-Flops asíncronos, los cambios en la salida se producen en el mismo momento que cambian las entradas.

Si las entradas provienen de distintos circuitos , posibles retrasos pueden dar lugar a estados no deseados

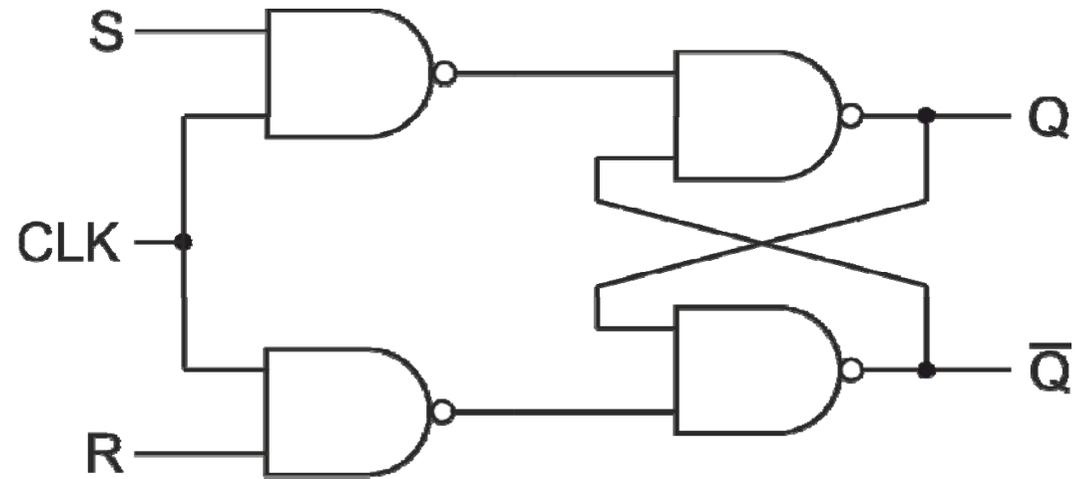
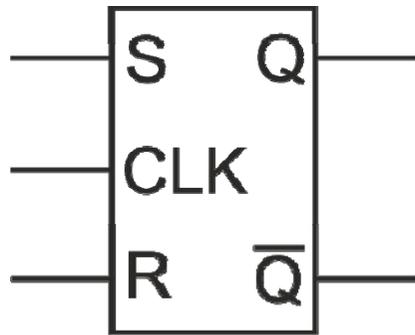
En los circuitos síncronos se introduce una nueva señal (*reloj*) **CLK**

Esta señal habilita las entradas del dispositivo, de forma que todas las entradas actúen a la vez: “*sincronizadas*”



3. Biestables síncronos.

3.1. Flip-Flop síncrono.



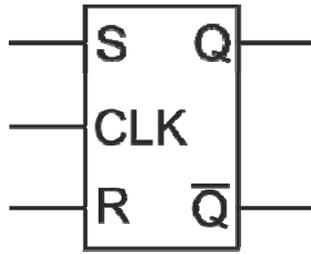
CLK	S	R	Q_{n+1}
0	X	X	Q_n
1	0	0	Q_n
1	0	1	0
1	1	0	1
1	1	1	----

La salida sólo se ve afectada por las entradas cuando **CLK** está en nivel alto

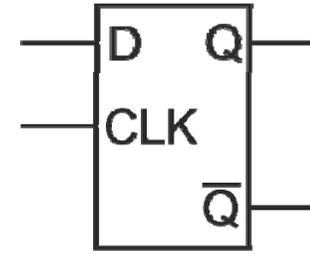
3. Biestables síncronos.

3.1. Flip-Flop síncrono.

Este tipo de Flip-Flops se denominan *activados por nivel*



CLK	S	R	Q_{n+1}
0	X	X	Q_n
1	0	0	Q_n
1	0	1	0
1	1	0	1
1	1	1	---

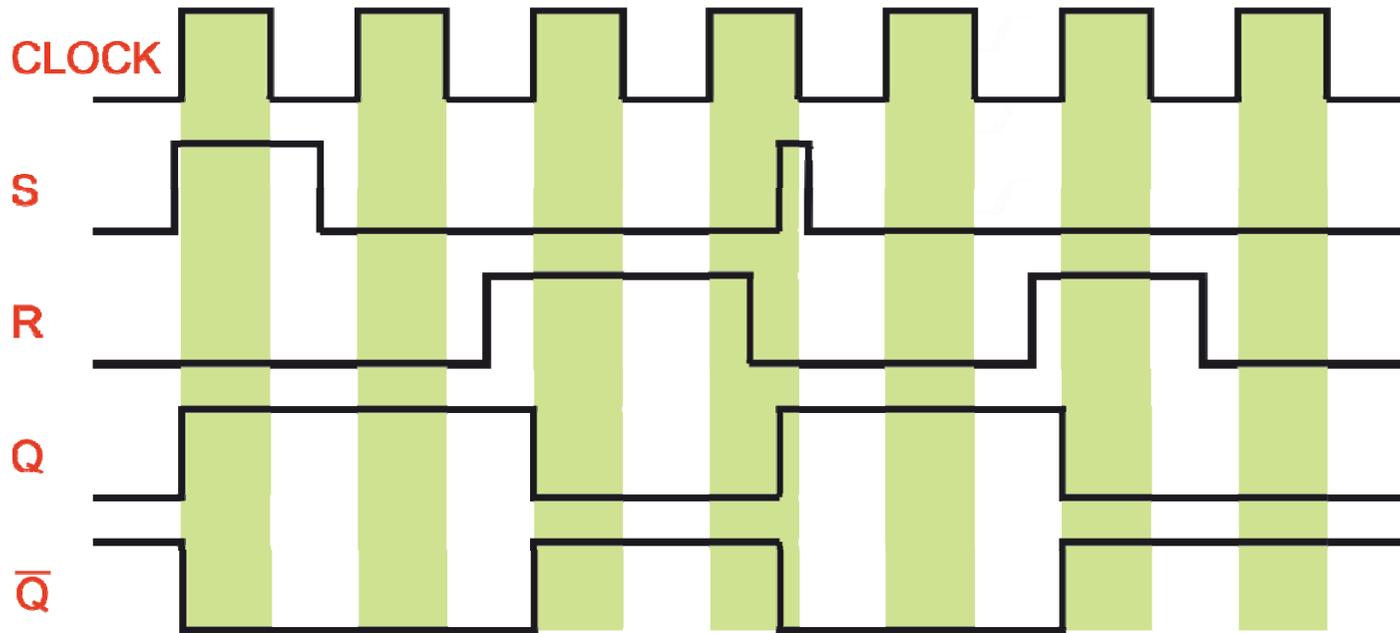


CLK	D	Q_{n+1}
0	X	Q_n
1	0	0
1	1	1

3. Biestables síncronos.

3.1. Flip-Flop síncrono.

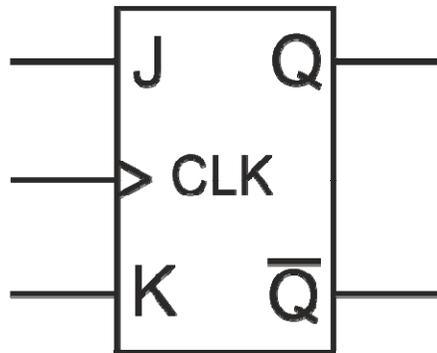
CLK	S	R	Q_{n+1}
0	X	X	Q_n
1	0	0	Q_n
1	0	1	0
1	1	0	1
1	1	1	---



3. Biestables síncronos.

3.1. Flip-Flop síncrono.

Otra variante son los Flip-Flops activados por flanco



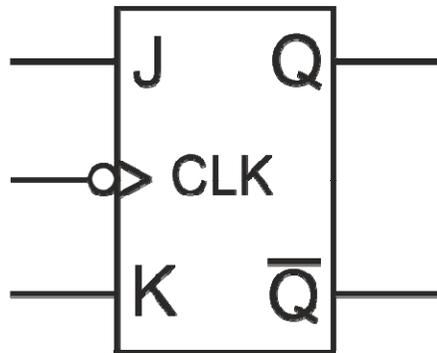
CLK	J	K	Q_{n+1}
	X	X	Q_n
	0	0	Q_n
	0	1	0
	1	0	1
	1	1	\overline{Q}_n

Variante que podemos hacer extensible a los Flips-Flops RS, D y T

3. Biestables síncronos.

3.1. Flip-Flop síncrono.

Otra variante son los Flip-Flops activados por flanco

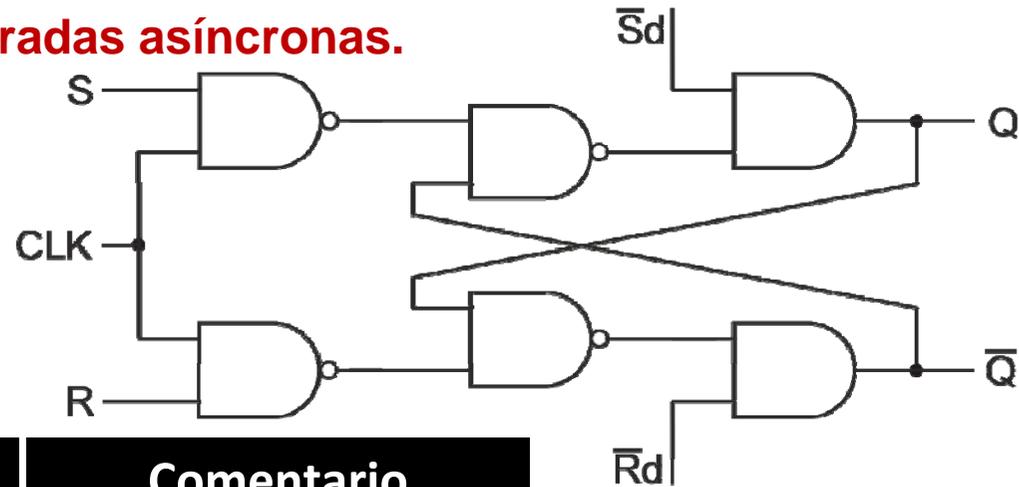
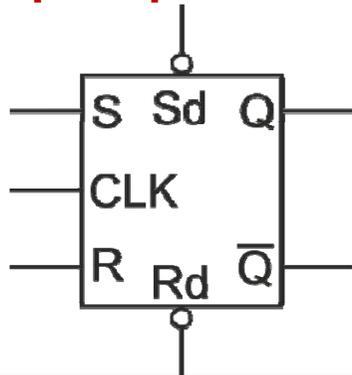


CLK	J	K	Q_{n+1}
	X	X	Q_n
	0	0	Q_n
	0	1	0
	1	0	1
	1	1	\overline{Q}_n

Variante que podemos hacer extensible a los Flips-Flops D y T

3. Biestables síncronos.

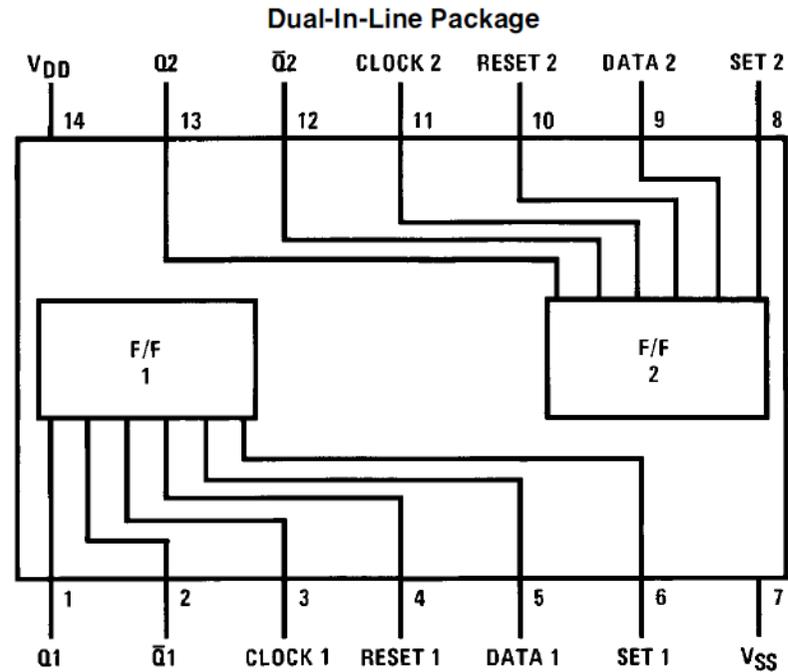
3.2. Flip-Flop RS síncrono con entradas asíncronas.



\bar{S}_d	\bar{R}_d	CLK	S	R	Q_{n+1}	Comentario
0	0	X	X	X	0	NO USADO
0	1	X	X	X	1	SET asíncrono
1	0	X	X	X	0	RESET asíncrono
1	1	0	X	X	Q_n	
1	1	1	0	0	Q_n	
1	1	1	1	0	1	
1	1	1	0	1	0	
1	1	1	1	1	0	NO USADO

3. Biestables síncronos.

CD 4013



Truth Table

CL [†]	D	R	S	Q	\bar{Q}
	0	0	0	0	1
	1	0	0	1	0
	X	0	0	Q	\bar{Q}
X	X	1	0	0	1
X	X	0	1	1	0
X	X	1	1	1	1

No change

† = Level change

x = Don't care case

4. Registros y contadores

4.1. Registros de almacenamiento (Records Storage)

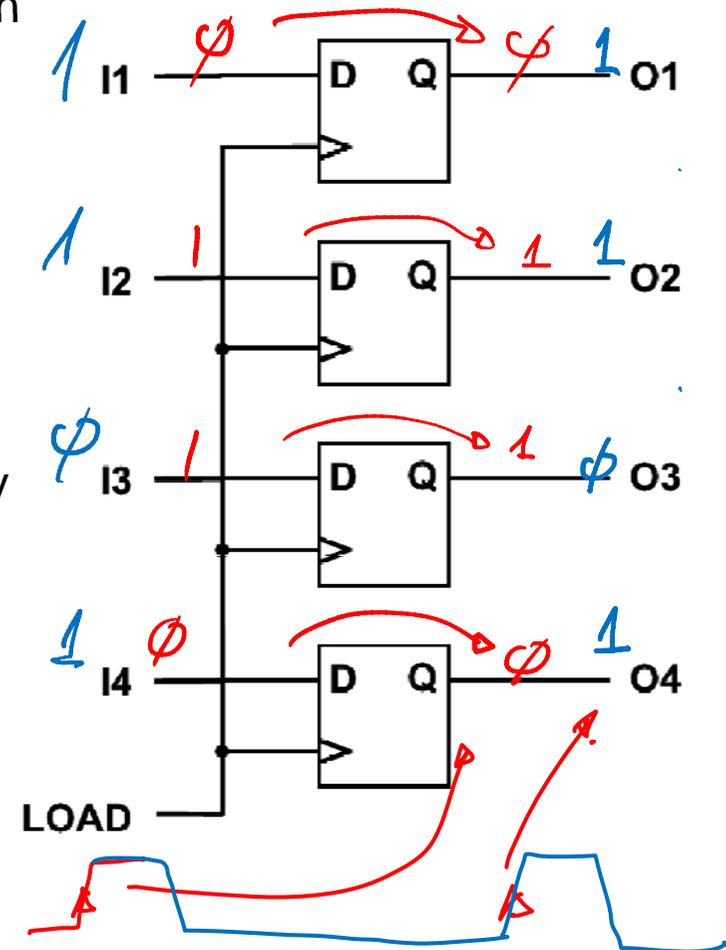
Registra o almacena información binaria durante un cierto tiempo

Registro de n bits $\Rightarrow n$ flip-flops.

- Registros de almacenamiento
- Registros de desplazamiento

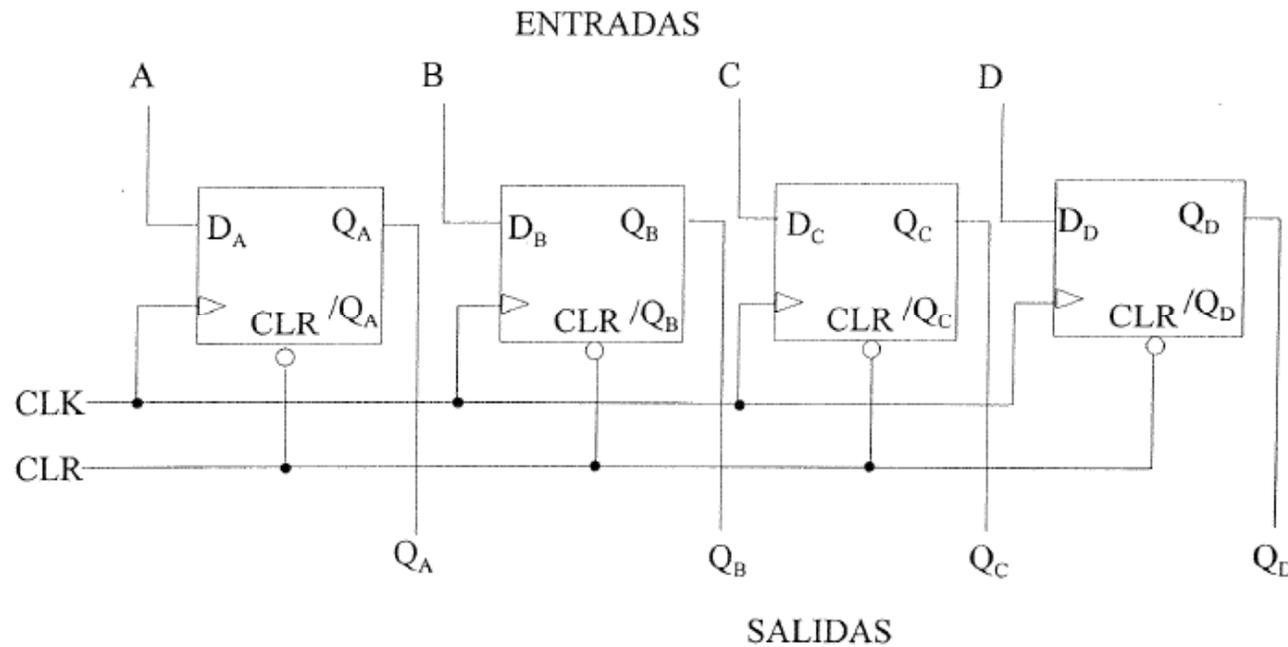
Registros de almacenamiento \Rightarrow Comparten CLK y entradas asíncronas

Se utilizan para transferir, almacenar o recuperar información cuando se necesite



4. Registros y contadores

4.1. Registros de almacenamiento (Records Storage)

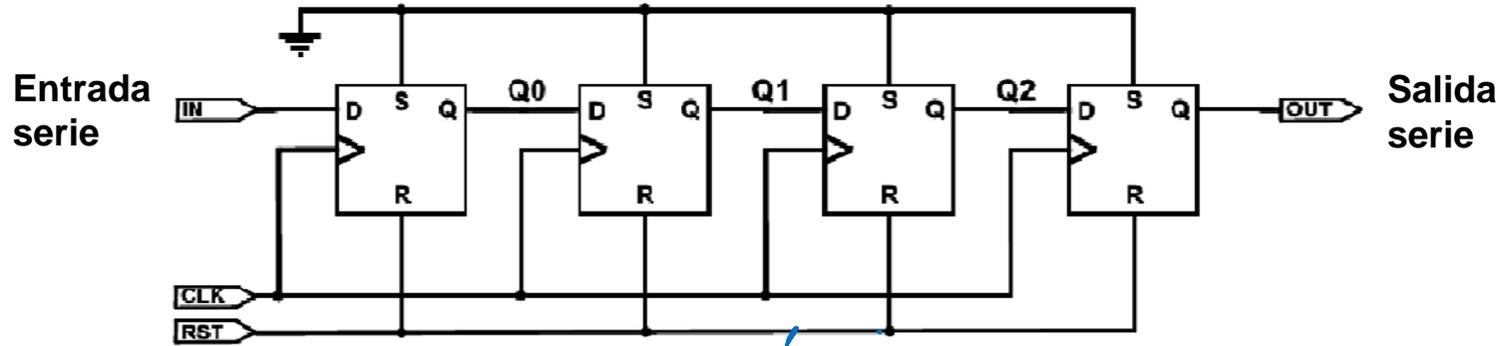


Función	Clear CLR	Reloj CLK	Entradas paralelo A B C D				Salidas Q _A Q _B Q _C Q _D			
			A	B	C	D	Q _A	Q _B	Q _C	Q _D
Clear	L	X	X	X	X	X	L	L	L	L
Ninguna función (reloj inhabil.)	H	L	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
Carga	H	↑	a	b	c	d	a	b	c	d

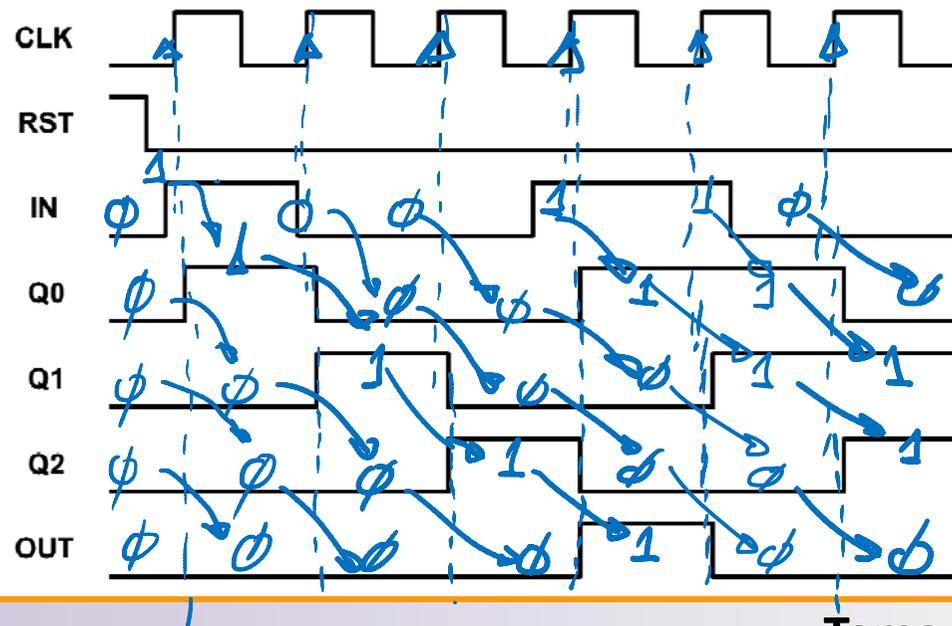
Q_{A0} Q_{B0} Q_{C0} Q_{D0} : Valores de Q_A Q_B Q_C Q_D, respectivamente, antes de establecerse los valores de las entradas de control (CLK,) indicados.

4. Registros y contadores

4.2. Registros de desplazamiento (shift Register)



Registro de desplazamiento de 4 bits



4. Registros y contadores

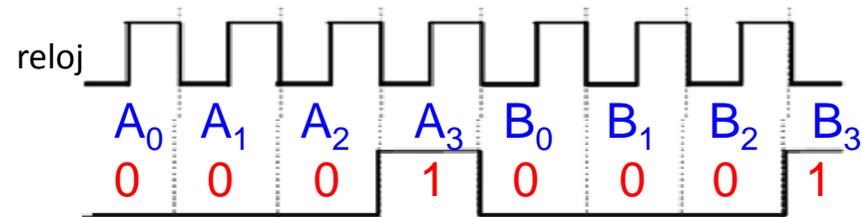
4.3. Formato de datos serie y paralelo

SERIE

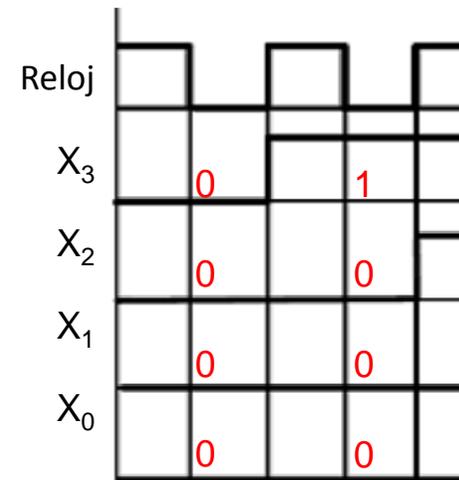
Palabra de 4 bits:

Palabra A: 1000

Palabra B: 1000



PARALELO



Palabra A: 0000

Palabra B: 1000

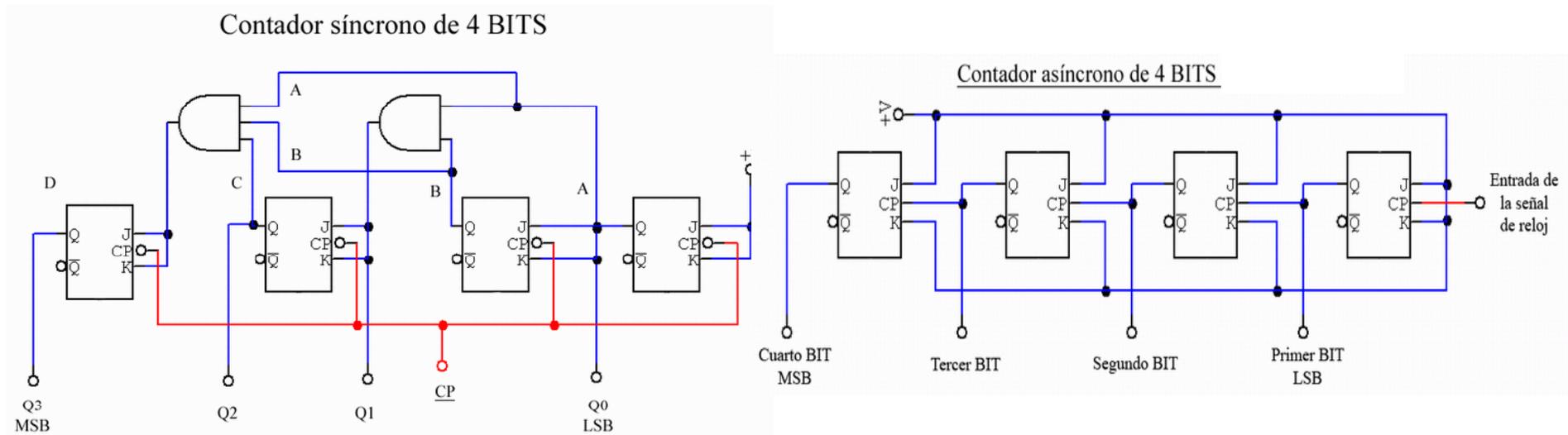
4. Registros y contadores

4.4. Contadores

Circuito secuencial que repite su estado cada cierto número de pulsos de reloj.
El número de estados por el que pasa antes de volver al estado inicial \Rightarrow Módulo del contador

Dependiendo de cómo se conecte el reloj:

- Funcionamiento Síncrono: Todas las entradas CLK conectadas entre si
- Funcionamiento Asíncrono: la entrada de CLK se conecta a la salida del flip-flop anterior.

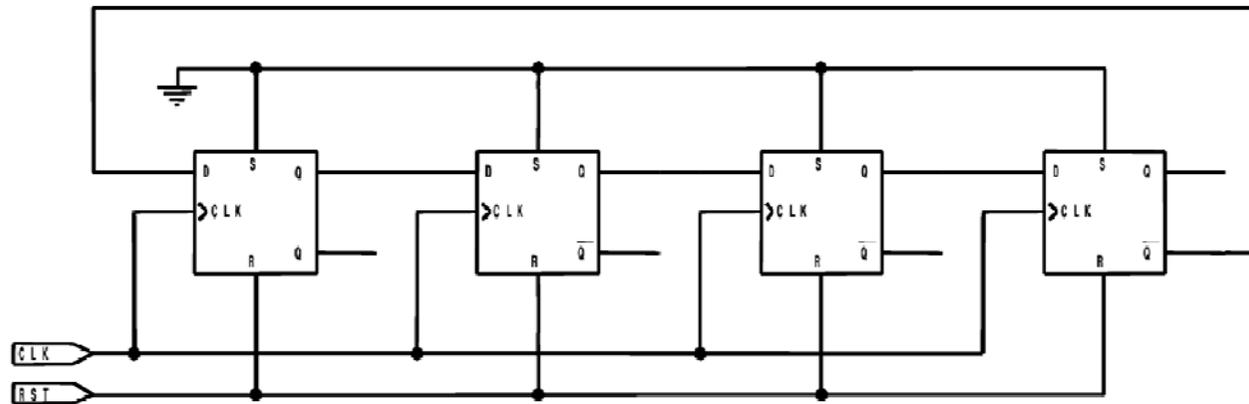
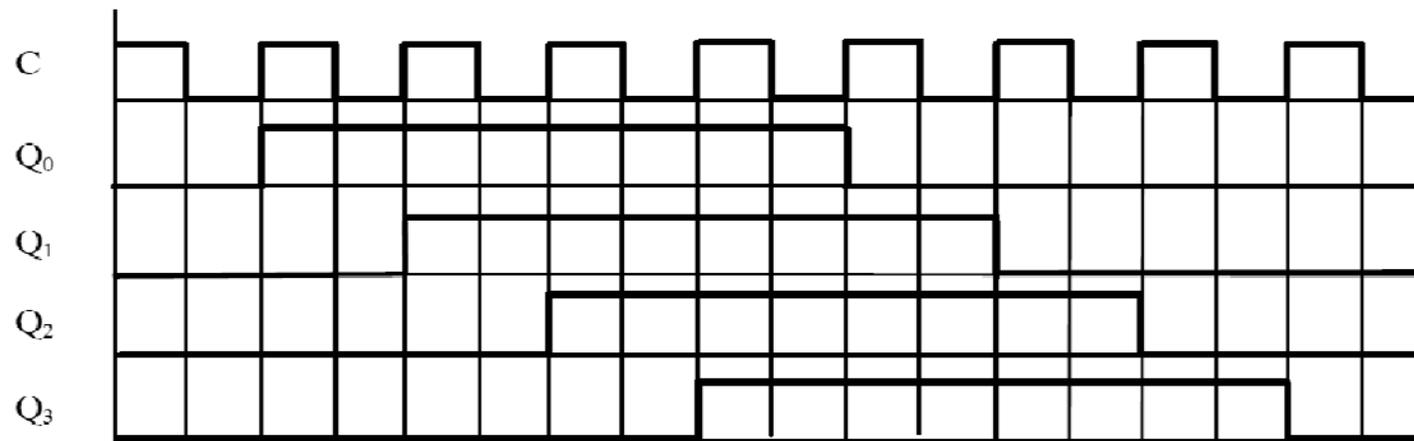


4. Registros y contadores

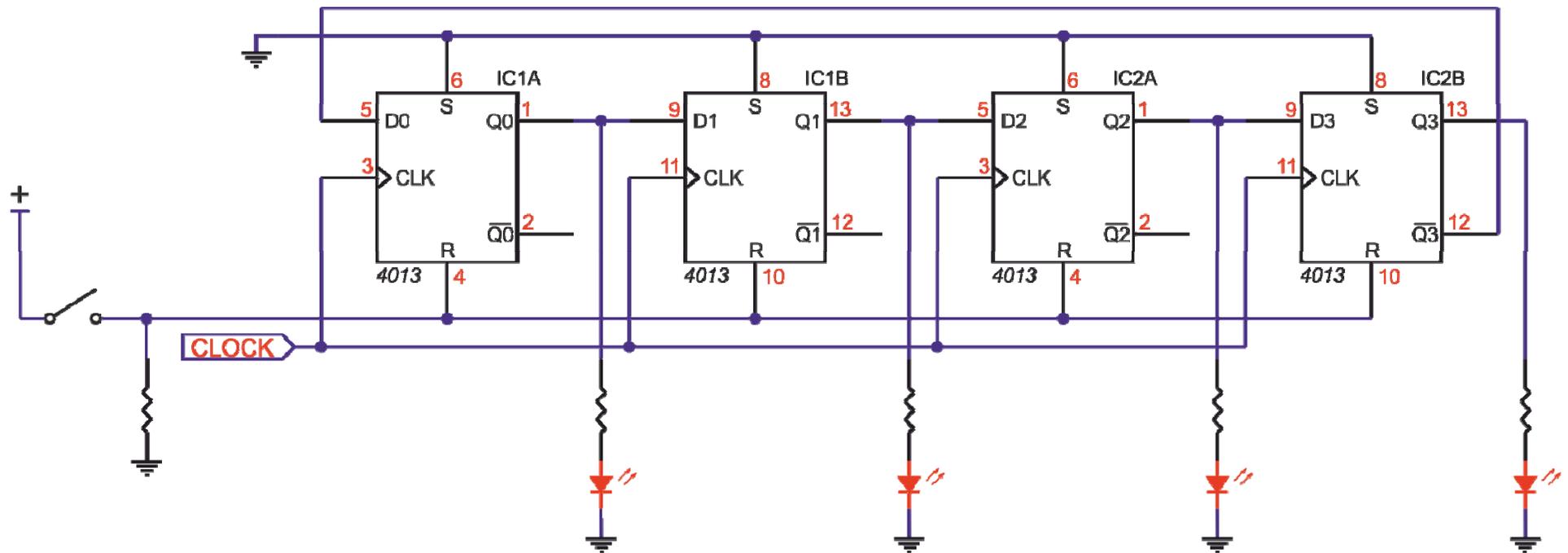
4.4. Contadores

Contador Johnson (contador conmutado en cola)

Es similar al contador en anillo, con la salvedad de que el último flip-flop se conecta en la salida inversora

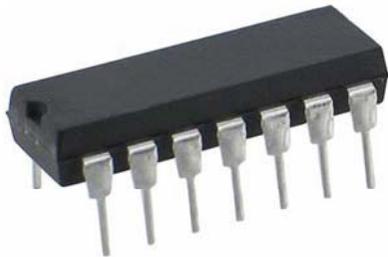


4. Registros y contadores

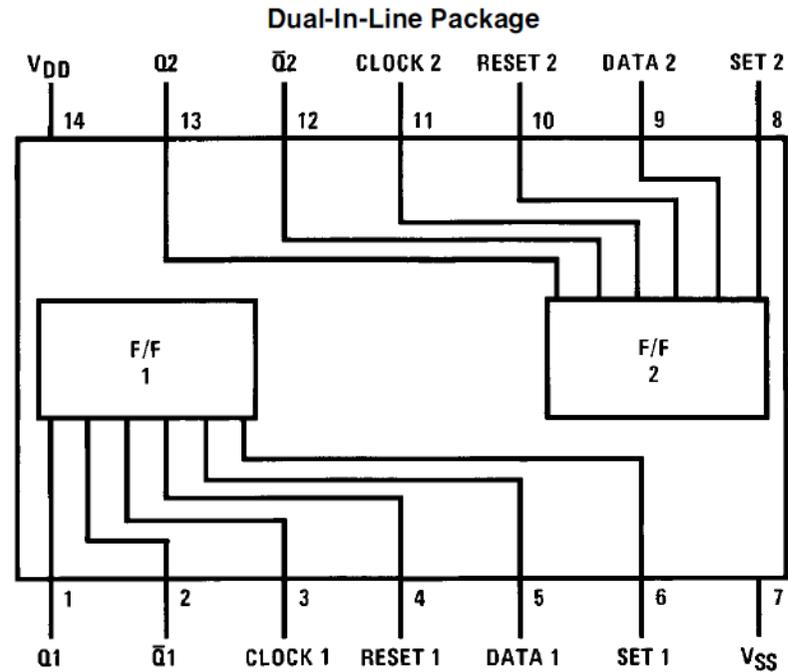


4. Registros y contadores

CD 4013



Truth Table



CL [†]	D	R	S	Q	Q̄
	0	0	0	0	1
	1	0	0	1	0
	X	0	0	Q	Q̄
X	X	1	0	0	1
X	X	0	1	1	0
X	X	1	1	1	1

No change

† = Level change

x = Don't care case

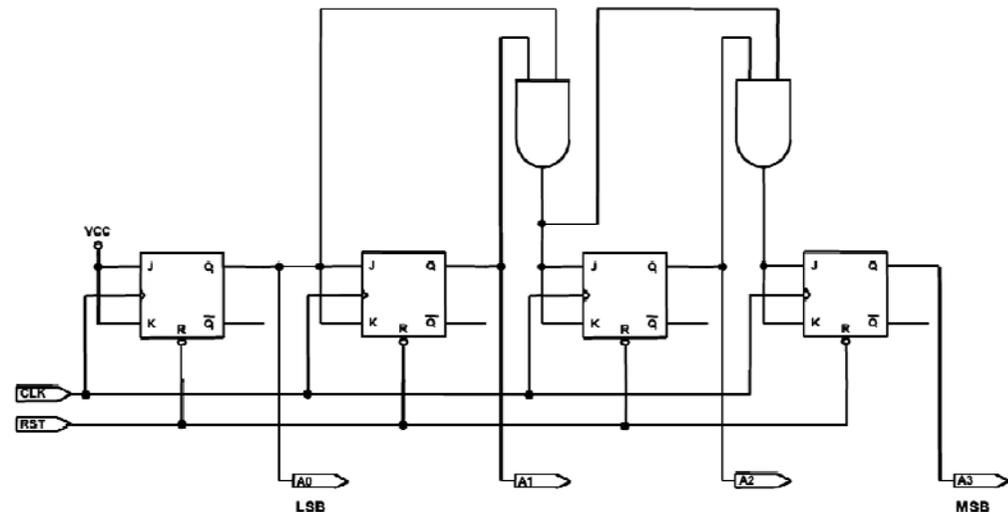
4. Registros y contadores

4.4. Contadores

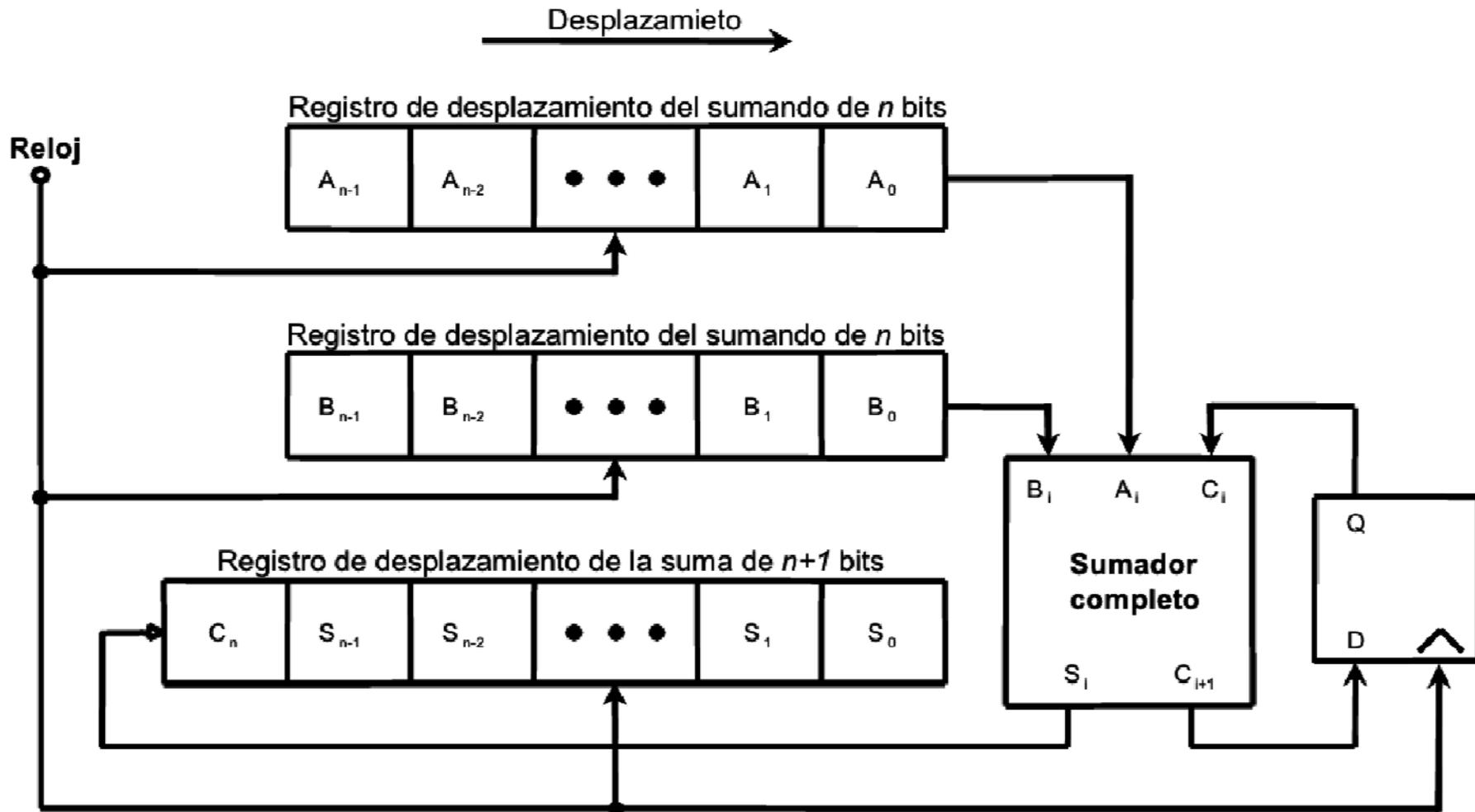
Contador síncrono binario

Estado	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0
Q_0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
Q_1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
Q_2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
Q_3	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0

- Todos los flip-flops conectados a la misma señal de reloj
- Es un contador binario de modulo 2^n
- Se usan flip-flops T o JK conectados en modo conmutación

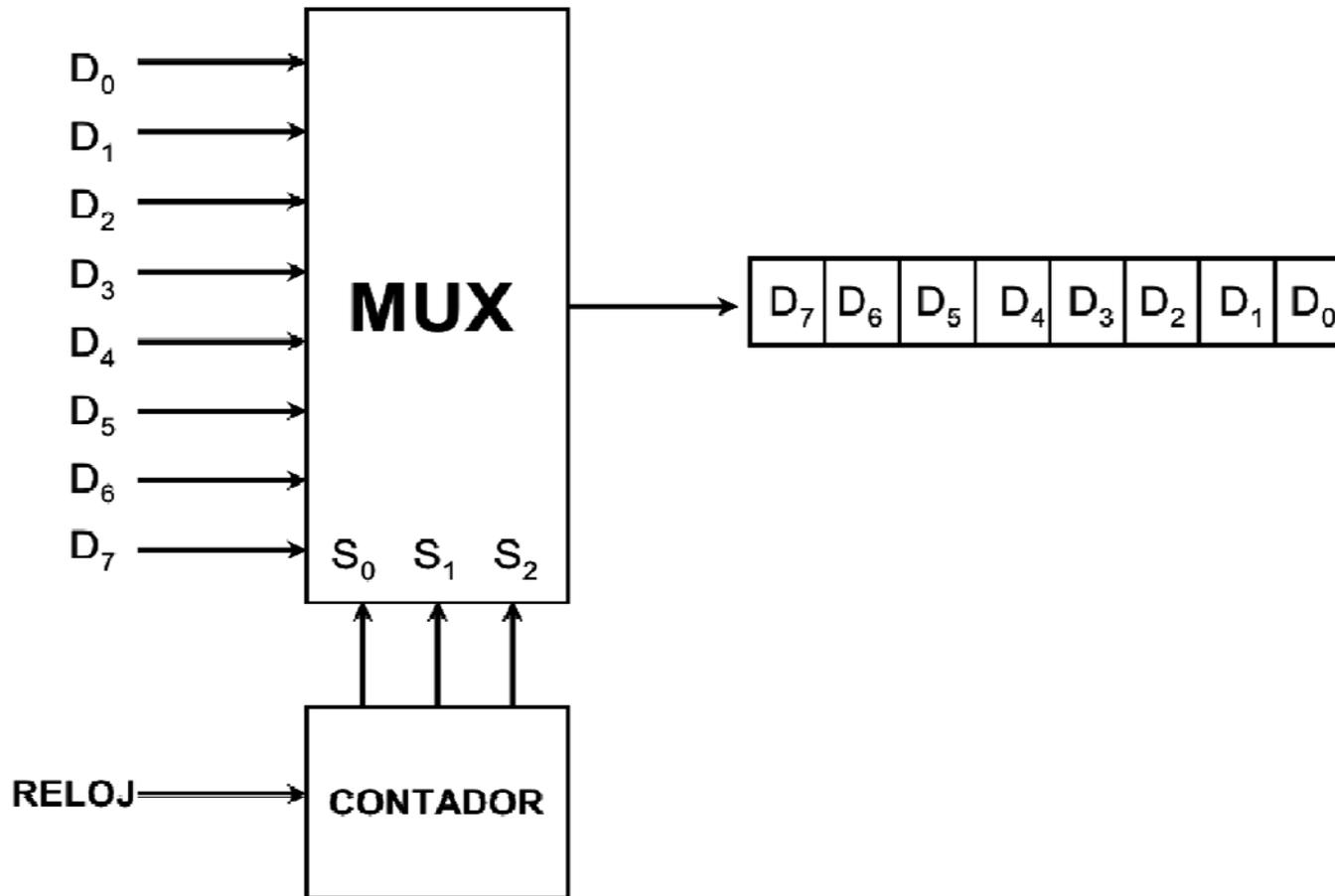


5. Algunos ejemplos de circuitos secuenciales



Serie de diagrama de bloques de un sumador serie

5. Algunos ejemplos de circuitos secuenciales



Convertidor paralelo-serie basado en un multiplexor y un contador