



electrónica general

Lógica Secuencial

Tema 7

Circuitos secuenciales

0. Introducción

1. Circuito Flip-flop

1.1. Báscula RS

1.2. Flip-flop RS síncrono

1.3. Flip-flop RS síncrono con entradas asincronas

1.4. Flip-flop D

1.5. Flip-flop T

1.6. Flip-flop JK

2. Registros y contadores

2.1. Registros de almacenamiento

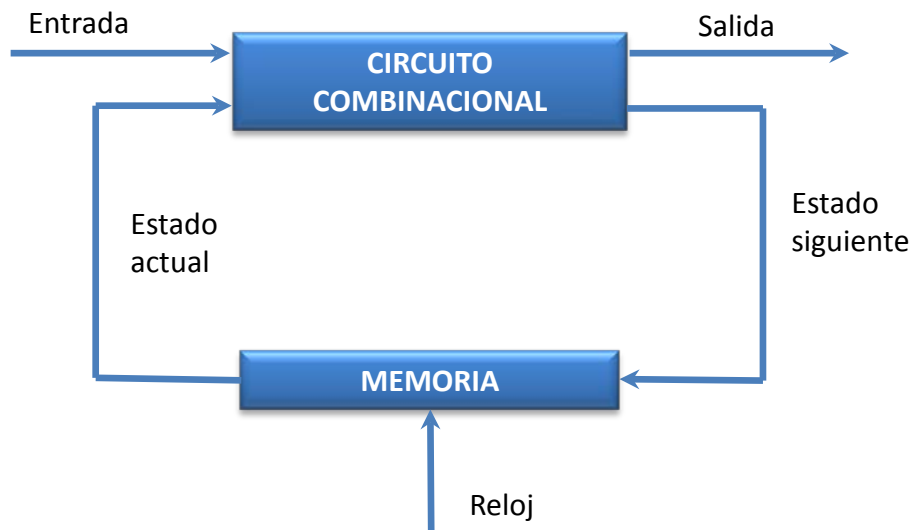
2.2. Registros de desplazamiento

2.3. Formato de Datos serie y paralelo

2.4. Contador

3. Algunos ejemplos de circuitos secuenciales

Circuito Secuencial: los valores de la salida en un instante dado no solamente depende de los valores de las entradas en ese instante sino también de valores que hayan tenido las entradas en instantes anteriores.

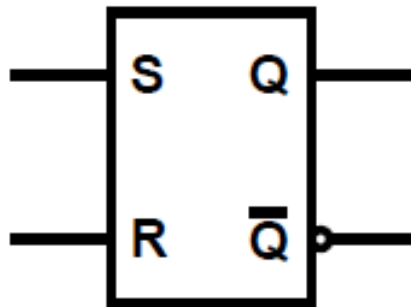


1. Circuito flip-flop

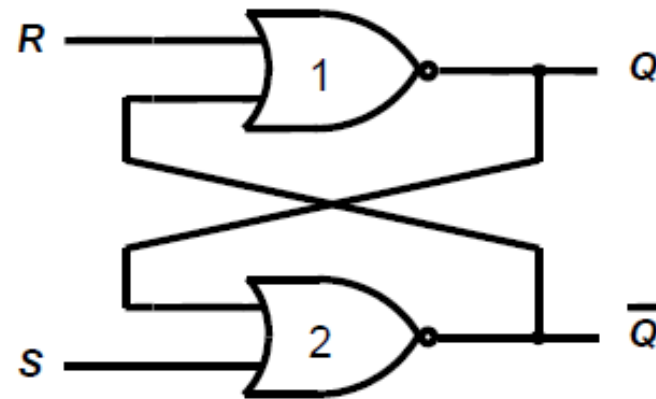
1.1. Báscula RS (Set Reset).

Flip-flop o biestable: célula de memoria capaz de almacenar un bit. Sólo tiene dos estados posibles.

Biestable: capaz de permanecer indefinidamente en uno de sus dos estados posibles, aunque haya desaparecido la señal de excitación.



Símbolo lógico de un flip-flop RS



Esquema lógico

1. Circuito flip-flop

1.1. Báscula RS (Set Reset).

Salidas: Q y \bar{Q}

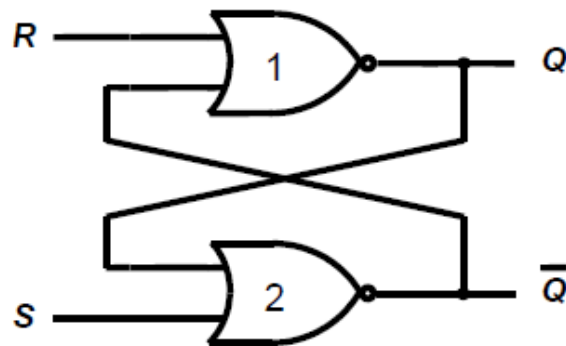
Entrada S (entrada de Set) $\Rightarrow Q = 1$.

Entrada R (entrada de Reset) $\Rightarrow Q = 0$.

Una misma combinación de entradas puede producir diferentes valores de salida en instantes distintos.

R	S	Q_{t+1}	\bar{Q}_{t+1}
0	0	Q_t	\bar{Q}_t
0	1	1	0
1	0	0	1
1	1	0	0

Tabla de verdad



Esquema lógico

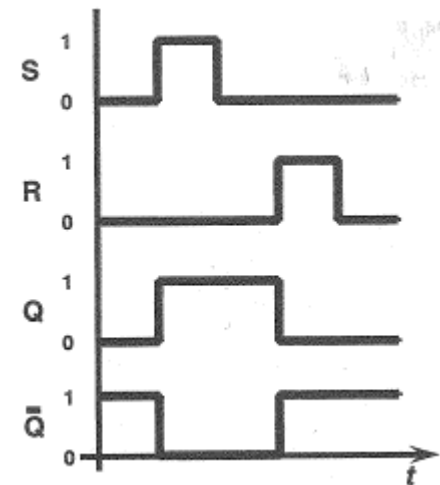


Diagrama de tiempos o cronograma

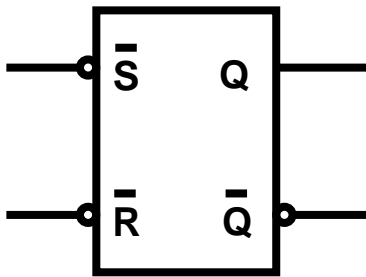
1. Circuito flip-flop

1.1. Báscula RS (Set Reset).

También es posible utilizar puertas NAND.
Entradas activas a nivel bajo.

$$\bar{R} = 0 \text{ y } \bar{S} = 0 \Rightarrow Q = \bar{Q} = 1 \quad \text{Caso no deseable}$$

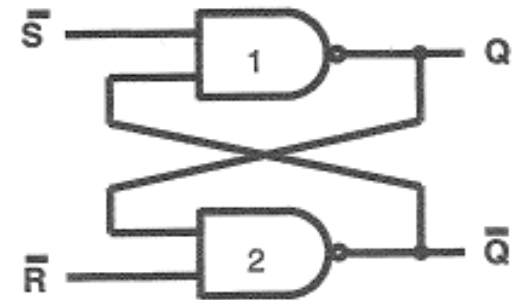
$$\bar{R} = 1 \text{ y } \bar{S} = 1 \quad \text{Entradas inactivas}$$



Símbolo lógico

\bar{R}	\bar{S}	Q_{t+1}	\bar{Q}_{t+1}
0	0	1	1
0	1	0	1
1	0	1	0
1	1	Q_t	\bar{Q}_t

tabla de verdad



Esquema lógico

1. Circuito flip-flop

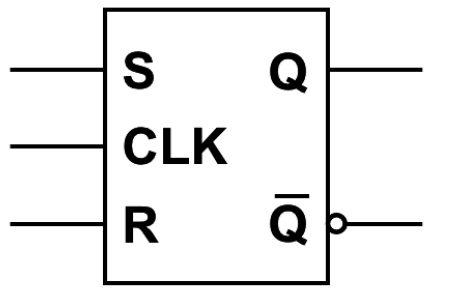
1.2. Flip-flop RS síncrono.

Flip-flop estudiado \Rightarrow dispositivo asíncrono.

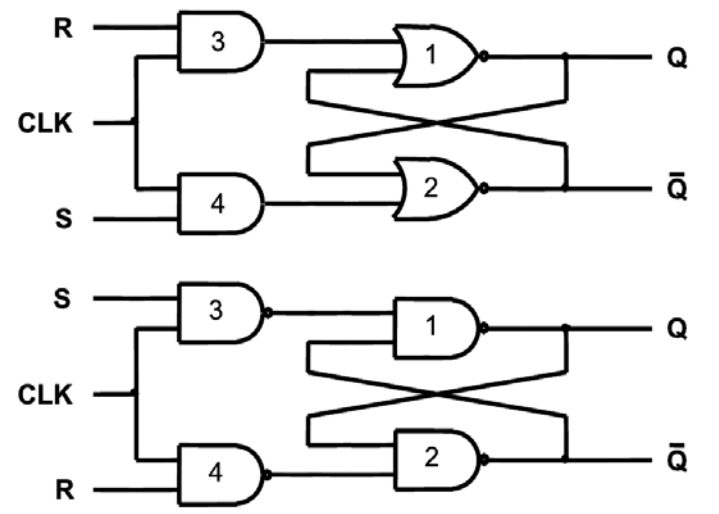
Inconveniente: Las señales que llegan a las entradas provienen de otros circuitos, y posibles retrasos dan lugar a estados no previstos o indeseables.

Solución: Flip-flop RS síncronos.

El reloj del dispositivo (CLK) sincroniza las entradas



Símbolo lógico



Esquemas lógicos

1. Circuito flip-flop

1.2. Flip-flop RS síncrono.

Las puertas 3 y 4 sincronizan las entradas R y S.

La señal CLK = señal de habilitación de las dos entradas, R y S.

S y R afectan a la salida cuando CLK esté a nivel alto.

Normalmente se elige una frecuencia de CLK que permita que las señales cambien en los semiperiodos inactivos del reloj \Rightarrow Flip-flop disparado por nivel.

CLK	R	S	Q_{t+1}	\bar{Q}_{t+1}
0	X	X	Q_t	\bar{Q}_t
1	0	0	Q_t	\bar{Q}_t
1	0	1	1	0
1	1	0	0	1
1	1	1	0	0

Tabla de verdad

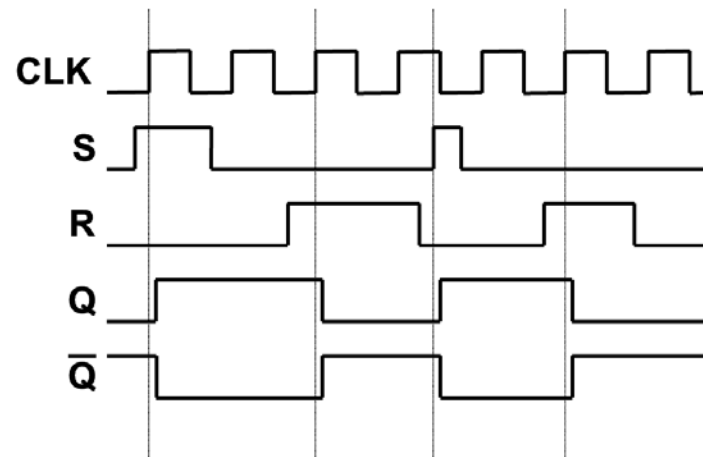
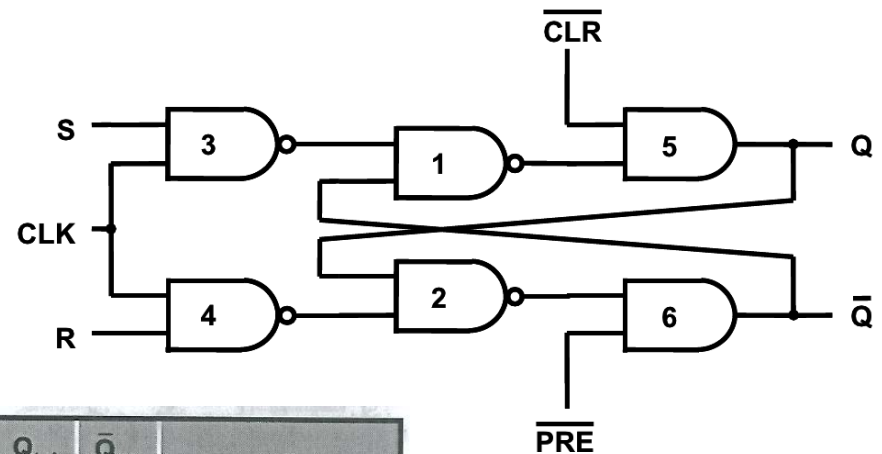
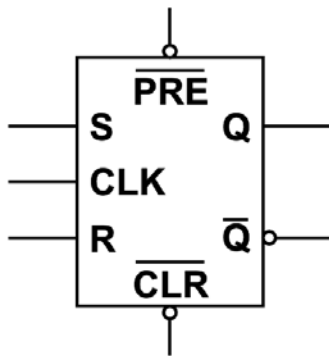


Diagrama de tiempos

1. Circuito flip-flop

1.3. Flip-flop RS síncrono con entradas asíncronas.

Dispone de entradas que permiten comenzar su funcionamiento desde un estado conocido \Rightarrow PRESET y CLEAR

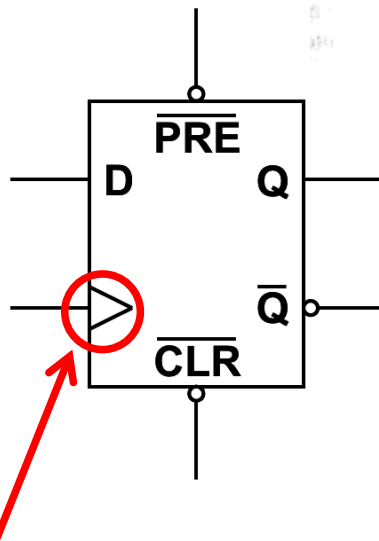
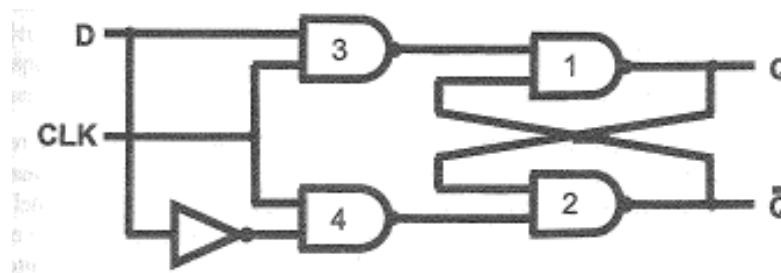


$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	CLK	R	S	Q_{t+1}	\overline{Q}_{t+1}	
0	0	X	X	X	0	0	No usado
0	1	X	X	X	1	0	Set asíncrono
1	0	X	X	X	0	1	Reset asíncrono
1	1	0	X	X	Q_t	\overline{Q}_t	Mantiene
1	1	1	0	0	Q_t	\overline{Q}_t	Mantiene
1	1	1	0	1	1	0	Set síncrono
1	1	1	1	0	0	1	Reset síncrono
1	1	1	1	1	0	0	No usado

1. Circuito flip-flop

1.4. Flip-flop D (Data o Delay).

- Evita que las dos entradas estén activas simultáneamente
- Se tiene en cuenta el valor de las entradas cuando CLK 0 \Rightarrow 1
- Dispone de entradas asíncronas que permiten su inicialización.



CLK	D	Q_{t+1}	\bar{Q}_{t+1}
0	X	Q_t	Q_t
1	1	1	0
1	0	0	1

Este triángulo indica que el dispositivo es activo por flanco de subida.

1. Circuito flip-flop

1.4. Flip-flop D (Data o Delay).

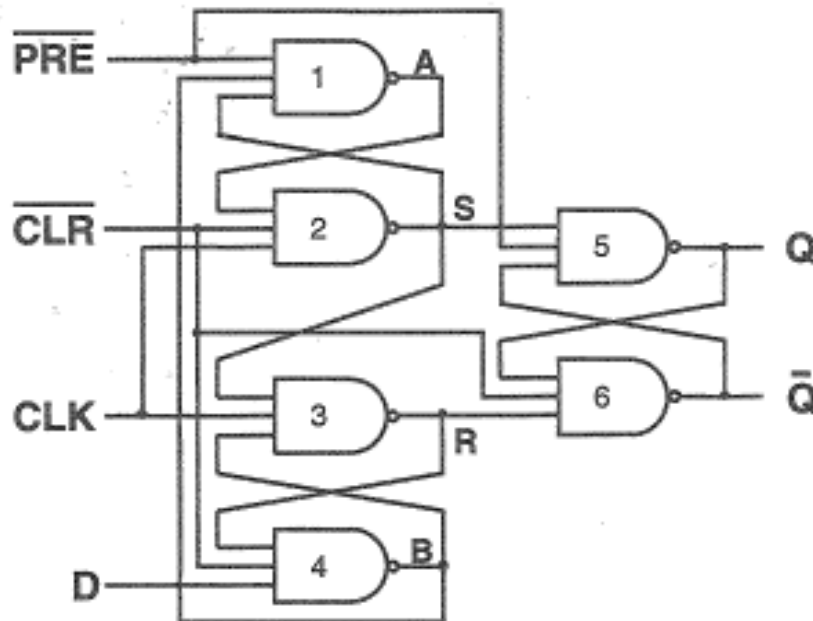
Si $CLK = 0 \Rightarrow S$ y $R = 1 \Rightarrow Q_{t+1} = Q_t$

Si $CLK = 0 \Rightarrow D = 1 \Rightarrow B = 0, A = 1 \Rightarrow Q_{t+1} = 1$

Si $CLK = 1 \Rightarrow S = 0 \Rightarrow B = 0, A = 1, R = 1 \Rightarrow Q_{t+1} = 1$

Si $D = 0$ y CLK pasa de 0 a 1 $\Rightarrow Q_{t+1} = 0$

Con $CLK = 1$ y D pasa de 1 a 0 \Rightarrow la salida no se verá afectada aunque B pase a 1



\overline{PRE}	\overline{CLR}	CLK	D	Q_{t+1}	\overline{Q}_{t+1}
0	0	X	X	No usado	
0	1	X	X	1	0
1	0	X	X	0	1
1	1	0	X	Q_t	\overline{Q}_t
1	1	\uparrow	1	1	0
1	1	\uparrow	0	0	1

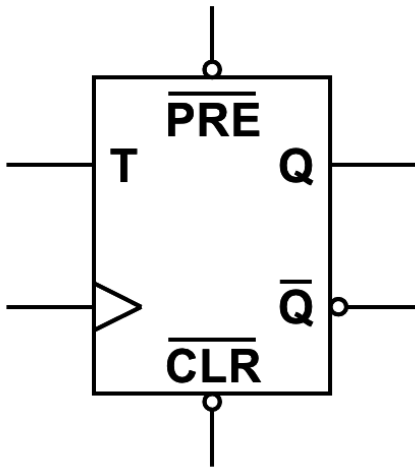
1. Circuito flip-flop

1.5. Flip-flop T (Toggle).

Otra variante de flip-flop disparado por flanco.

La salida cambia de valor cuando la entrada esta a nivel alto y se produce un flanco activo en la entrada del reloj.

Si la entrada esta a nivel bajo, el flip-flop mantiene su salida aunque se active el reloj.



CLK	T	Q_{t+1}	\bar{Q}_{t+1}
0	X	Q_t	\bar{Q}_t
↑	0	Q_t	\bar{Q}_t
↑	1	\bar{Q}_t	Q_t

1. Circuito flip-flop

1.6. Flip-flop JK.

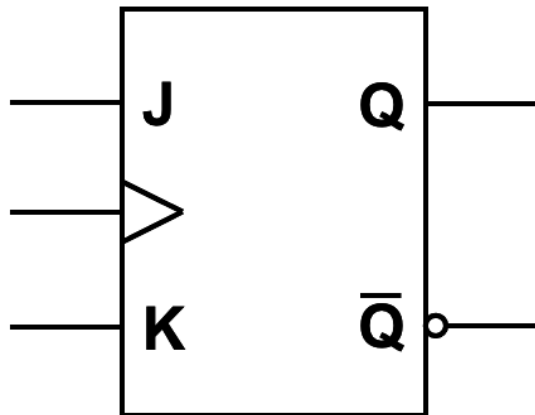
Funciona igual que el flip-flop RS, pero evita las condiciones no válidas se pueden utilizar las 4 combinaciones de sus entradas

Se puede transformar en uno tipo D o T

Entrada J \Rightarrow SET

Entrada K \Rightarrow RESET

Se le considera el flip-flop universal

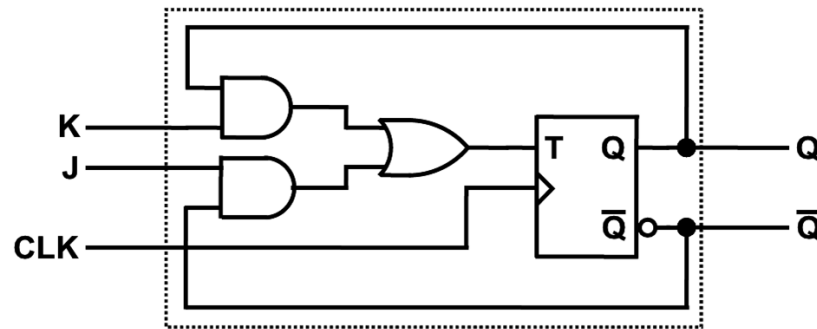
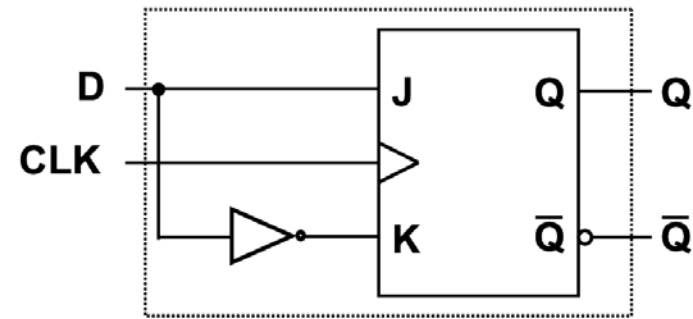
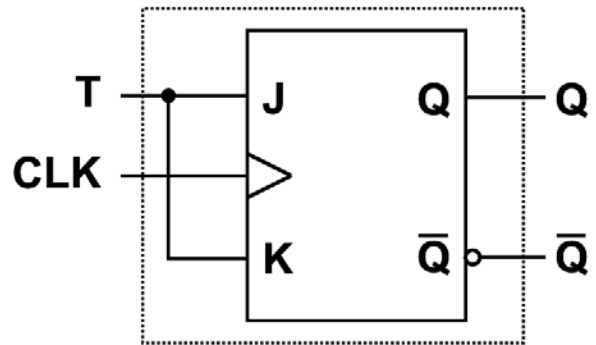


CLK	J	K	Q_{t+1}	\bar{Q}_{t+1}	Función
0	X	X	Q_t	\bar{Q}_t	No cambia
\uparrow	0	0	Q_t	\bar{Q}_t	No cambia
\uparrow	0	1	0	1	Pone a 0 (reset)
\uparrow	1	0	1	0	Pone a 1 (set)
\uparrow	1	1	\bar{Q}_t	Q_t	Conmuta

1. Circuito flip-flop

1.6. Flip-flop JK.

Cualquier flip-flop se puede obtener de cualquier otro flip-flop.



2. Registros y contadores

2.1. Registros de almacenamiento (Records Storage)

Registra o almacena información binaria durante un cierto tiempo

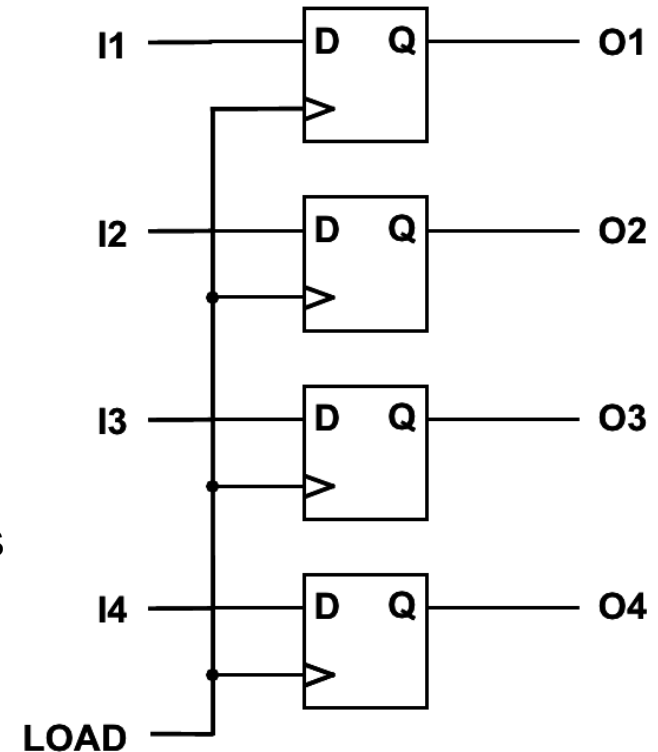
Registro de n bits $\Rightarrow n$ flip-flops.

- Registros de almacenamiento
- Registros de desplazamiento

Registros de almacenamiento \Rightarrow Comparten CLK y entradas asíncronas

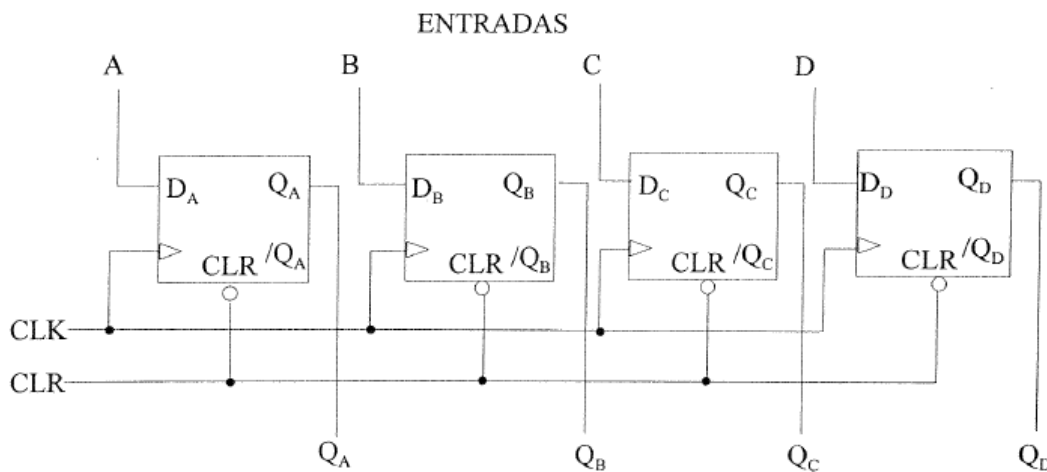
Las entradas síncronas y salidas son independientes

Se utilizan para transferir, almacenar o recuperar información cuando se necesite



2. Registros y contadores

2.1. Registros de almacenamiento (Records Storage)

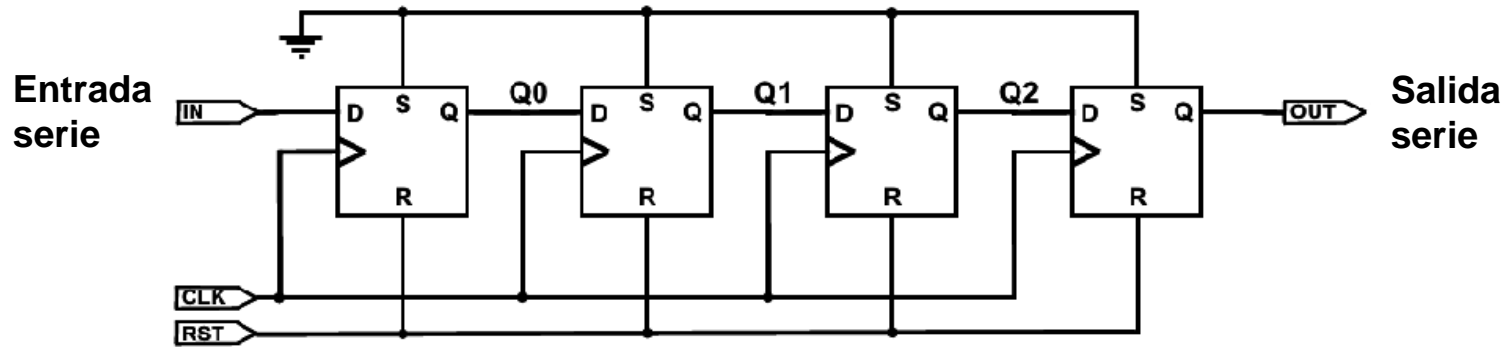


Función	Clear CLR	Reloj CLK	Entradas paralelo A B C D				Salidas Q _A Q _B Q _C Q _D			
			A	B	C	D	Q _A	Q _B	Q _C	Q _D
Clear	L	X	X	X	X	X	L	L	L	L
Ninguna función (reloj inhabil.)	H	L	X	X	X	X	Q _{AO}	Q _{BO}	Q _{CO}	Q _{DO}
Carga	H	↑	a	b	c	d	a	b	c	d

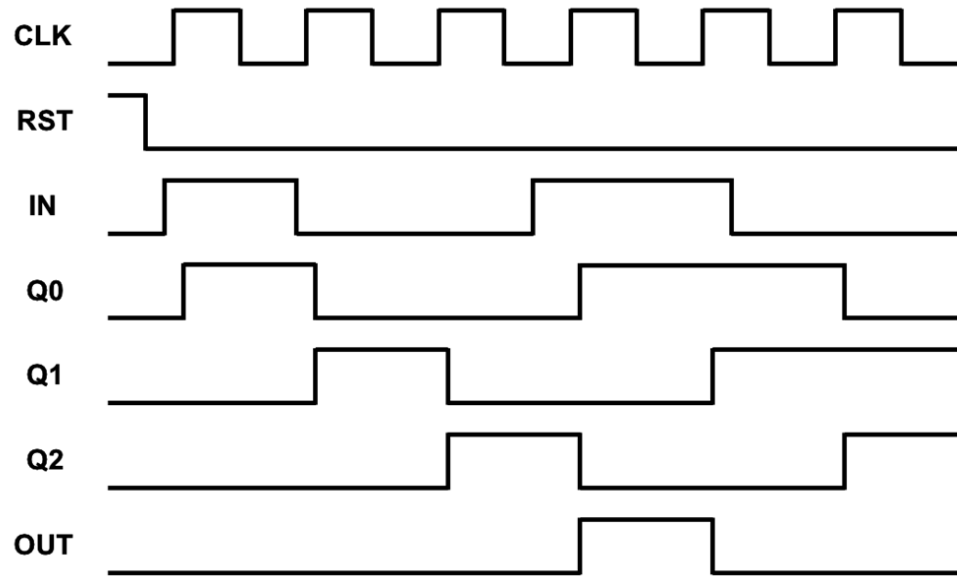
Q_{AO} Q_{BO} Q_{CO} Q_{DO} : Valores de Q_A Q_B Q_C Q_D, respectivamente, antes de establecerse los valores de las entradas de control (CLK,) indicados.

2. Registros y contadores

2.2. Registros de desplazamiento (Shift Register)

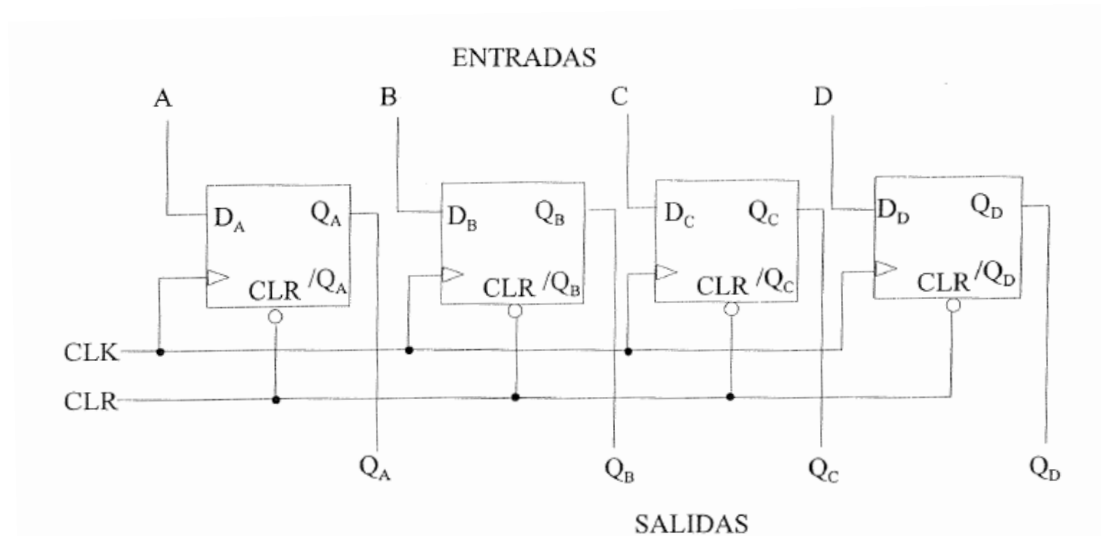


Registro de desplazamiento de 4 bits



2. Registros y contadores

2.2. Registros de desplazamiento (shift Register)



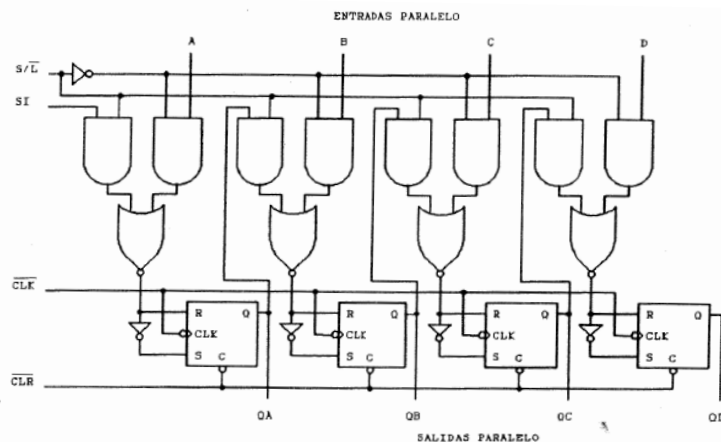
Función	Clear CLR	Reloj CLK	Entradas paralelo A B C D	Salidas QA QB QC QD
Clear	L	X	X X X X	L L L L
Ninguna función (reloj inhabil.)	H	L	X X X X	Q _{AO} Q _{BO} Q _{CO} Q _{DO}
Carga asíncrona	H	X	a b c d	a b c d
Carga síncrona	H	↑	a b c d	a b c d

Q_{AO} Q_{BO} Q_{CO} Q_{DO} : Valores de Q_A Q_B Q_C Q_D , respectivamente, antes de establecerse los valores de las entradas de control (CLK) indicados.

2. Registros y contadores

2.2. Registros de desplazamiento (shift Register)

Registro de desplazamiento con: entrada serie/salida serie, entrada paralelo/salida paralelo, entrada serie/salida paralelo, entrada paralelo/salida serie



Función	Clear CLR	Desp/Carga (S/L) Mode (S ₀ S ₁)	Reloj CLK	Entrada Serie (SI)	Entradas paralelo A B C D	Estados internos Q _A Q _B Q _C Q _D	Salida Q _D
Clear	L	X	X	X	X X X X	L L L L	L
Ninguna función (reloj inhabil.)	H	X	L	X	X X X X	Q _{A0} Q _{B0} Q _{C0} Q _{D0}	Q _{D0}
Carga asíncrona	H	L	X	X	a b c d	a b c d	d
Carga síncrona	H	L	↓	X	a b c d	a b c d	d
Desplazamiento (Shift)	H	H	↓	H	X X X X	H Q _{An} Q _{Bn} Q _{Cn}	Q _{Cn}
	H	H	↓	L	X X X X	L Q _{An} Q _{Bn} Q _{Cn}	Q _{Cn}

Q_{A0} Q_{B0} Q_{C0} Q_{D0} : Valores de Q_A Q_B Q_C Q_D, respectivamente, antes de establecerse los valores de las entradas de control (CLK, S/L) indicados.

Q_{An} Q_{Bn} Q_{Cn} : Valores de Q_A Q_B Q_C, respectivamente, antes del ultimo flanco activo de reloj.

2. Registros y contadores

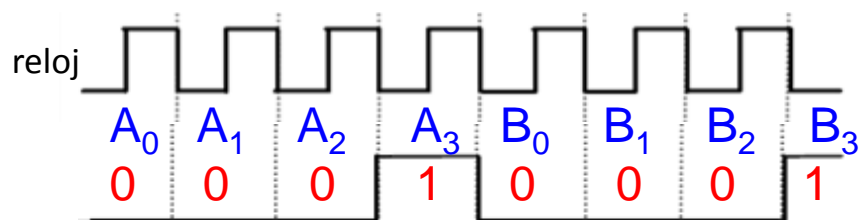
2.3. Formato de datos serie y paralelo

SERIE

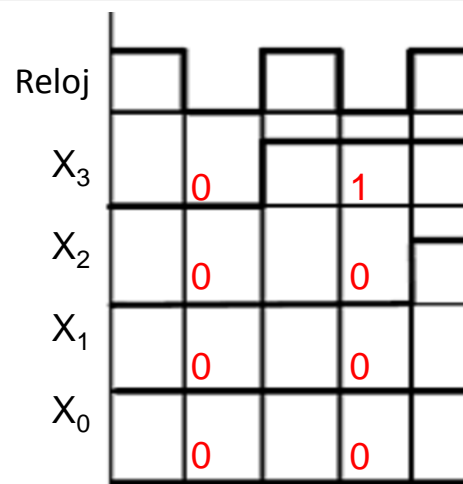
Palabra de 4 bits:

Palabra A: 1000

Palabra B: 1000



PARALELO



Palabra A: 0000

Palabra B: 1000

2. Registros y contadores

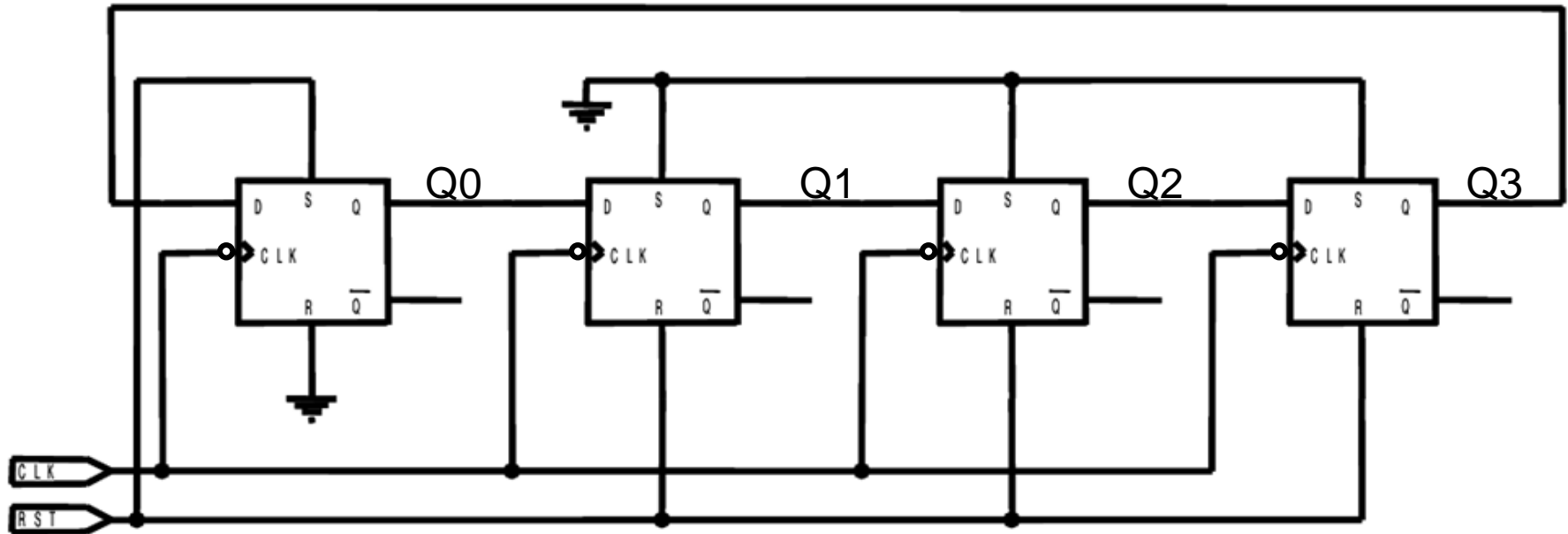
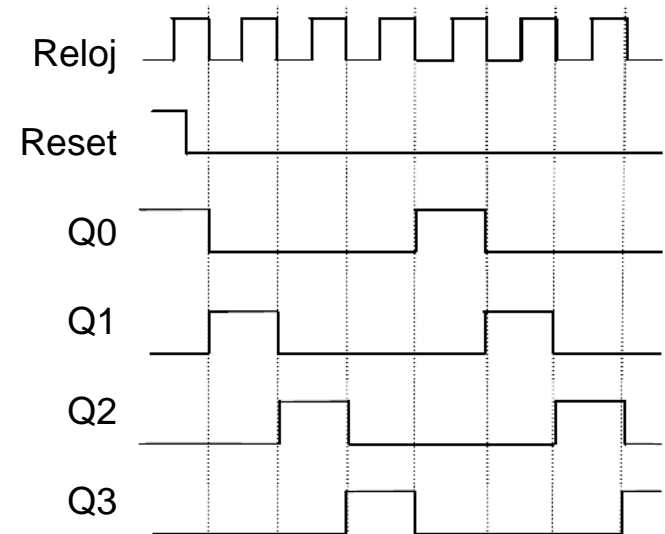
2.4. Contador

Contador en anillo

Es un registro de desplazamiento circular.

Inicialmente se introduce un 1 por las entradas asíncronas ya continuación se deja que funcione síncronamente.

El circuito pasa por tantos estados como números de flip-flops (contador de módulo n)



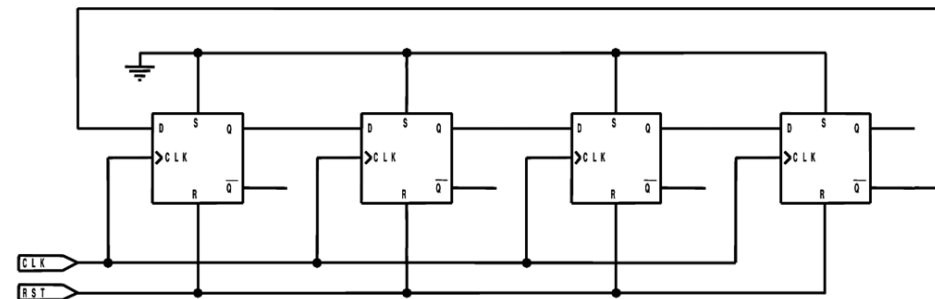
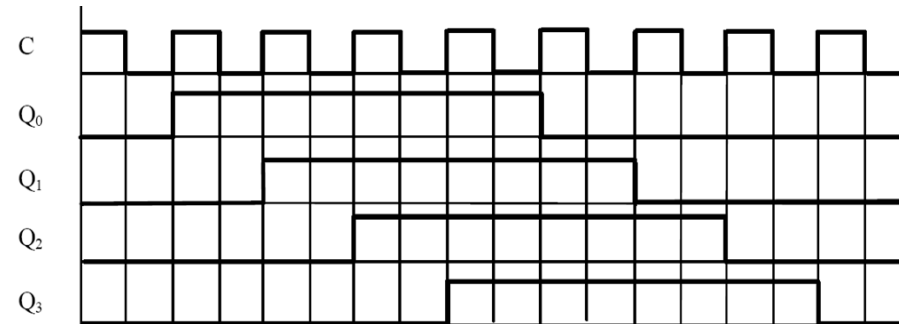
2. Registros y contadores

2.4. Contador

Contador Johnson (contador conmutado en cola)

Es similar al contador en anillo, con la salvedad de que el último flip-flop se conecta en la salida inversora

Q3	Q2	Q1	Q0
0	0	0	0
0	0	0	1
0	0	1	1
0	1	1	1
1	1	1	1
1	1	1	0
1	1	0	0
1	0	0	0
0	0	0	0



El circuito pasa por ocho valores diferentes \Rightarrow Contador de módulo $2n$

Código de salida \Rightarrow Código Johnson.

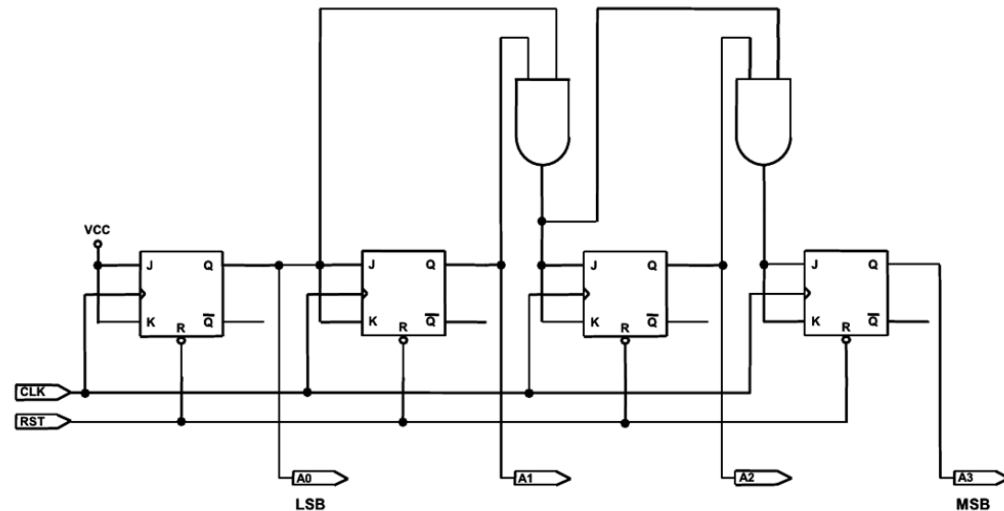
2. Registros y contadores

2.4. Contador

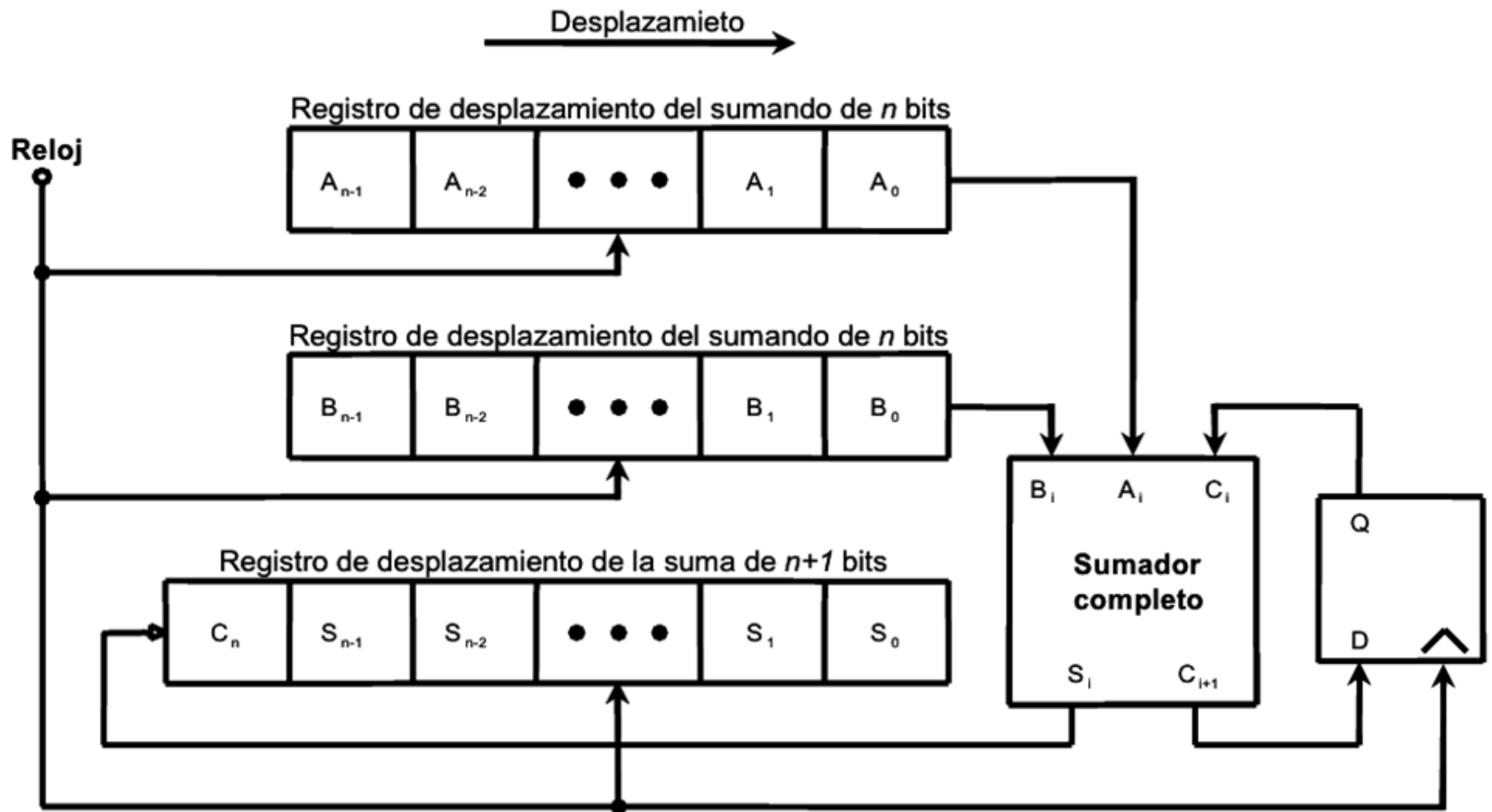
Contador síncrono binario

Estado	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0
Q_0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
Q_1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
Q_2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
Q_3	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0

- Todos los flip-flops conectados a la misma señal de reloj
- Es un contador binario de modulo 2^n
- Se usan flip-flops T o JK conectados en modo conmutación

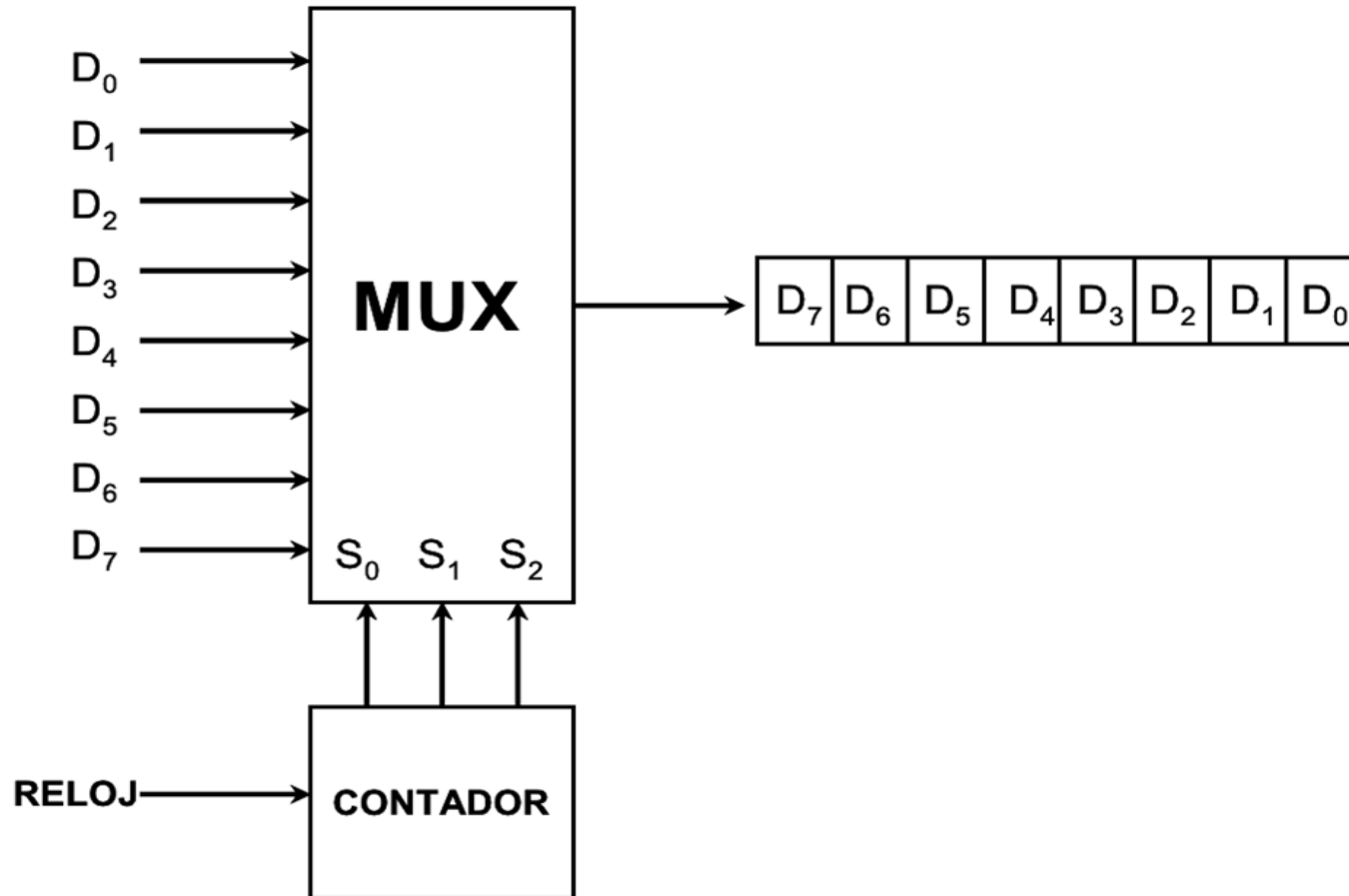


3. Algunos ejemplos de circuitos secuenciales



Serie de diagrama de bloques de un sumador serie

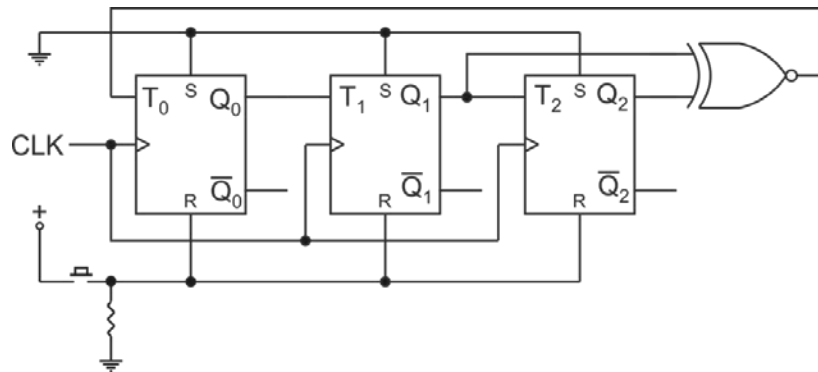
3. Algunos ejemplos de circuitos secuenciales



Convertidor paralelo-serie basado en un multiplexor y un contador

4. Ejercicio

Dado el circuito secuencial de la figura:



1º.- Obtener las expresiones lógicas de las entradas de los flip-flops T_0 , T_1 y T_2 en función de las salidas Q_0 , Q_1 y Q_2 .

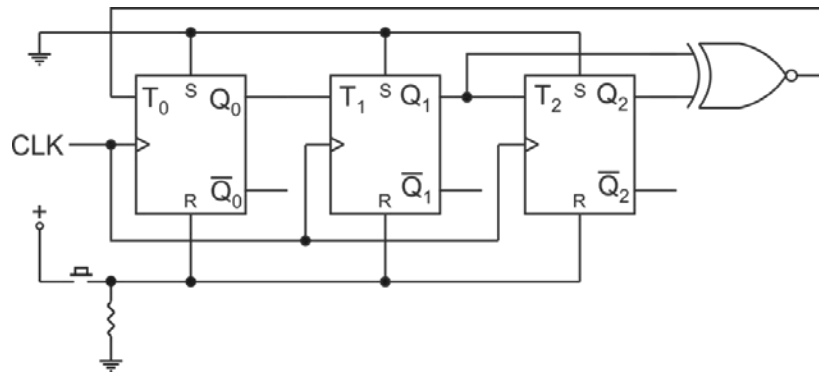
$$T_0 = \overline{Q_1 \oplus Q_2}$$

$$T_1 = Q_0$$

$$T_2 = Q_1$$

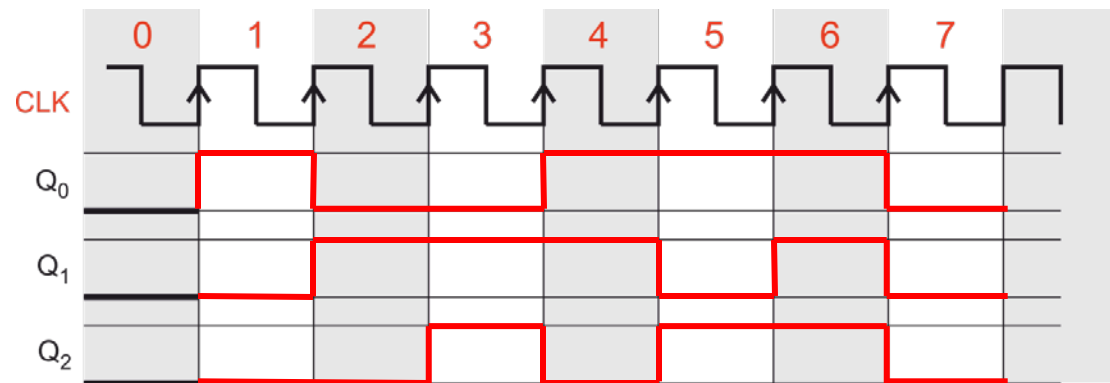
4. Ejercicio

Dado el circuito secuencial de la figura:



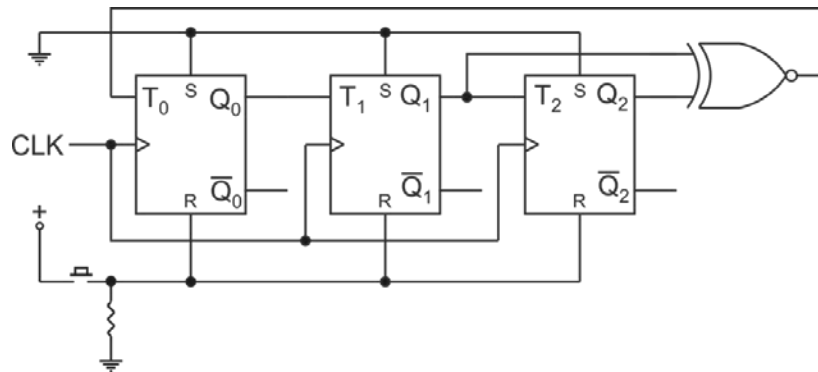
3º.- Dibujar el diagrama de tiempos que se muestra a continuación

Instante	Q_2	Q_1	Q_0	T_2	T_1	T_0
0	0	0	0	0	0	1
1	0	0	1	0	1	1
2	0	1	0	1	0	0
3	1	1	0	1	0	1
4	0	1	1	1	1	0
5	1	0	1	0	1	0
6	1	1	1	1	1	1
7	0	0	0	0	0	1



4. Ejercicio

Dado el circuito secuencial de la figura:



4º.- ¿Cuál es el módulo del contador? Si las salidas Q_0 , Q_1 y Q_2 constituyen un número binario de 3 bits (Q_0 es el bit menos significativo y Q_2 el más significativo) ¿Cuál es la secuencia que sigue el contador expresada con números decimales?

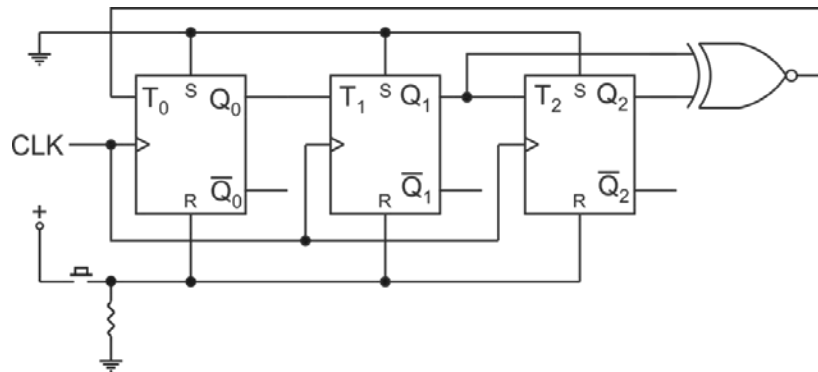
Módulo =

Secuencia =

5º.- ¿Qué ocurriría si inicializásemos el contador en el estado $Q_2=1$, $Q_1=0$, $Q_0=0$?

4. Ejercicio

Dado el circuito secuencial de la figura:



4º.- ¿Cuál es el módulo del contador? Si las salidas Q_0 , Q_1 y Q_2 constituyen un número binario de 3 bits (Q_0 es el bit menos significativo y Q_2 el más significativo) ¿Cuál es la secuencia que sigue el contador expresada con números decimales?

Módulo =

7

Secuencia =

0, 1, 2, 6, 3, 5, 7

5º.- ¿Qué ocurriría si inicializásemos el contador en el estado $Q_2=1$, $Q_1=0$, $Q_0=0$?

Las entradas de los 3 flip-flops serían 0, por lo que no cambiarían nunca de estado. Permanecería indefinidamente en el estado 1 0 0