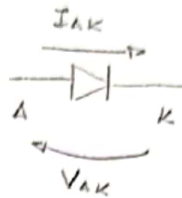


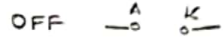
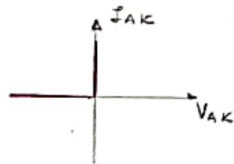
TEMA 1: DIODOS



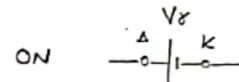
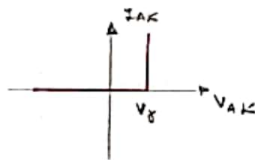
• ECUACIÓN DE SHOCKLEY: $I_{AK} = I_{SAT} \left(\exp\left[\frac{V_{AK}}{V_T}\right] - 1 \right)$

• APROXIMACIONES:

1) DIODO IDEAL:

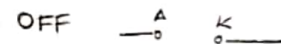
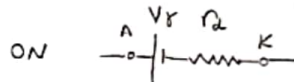
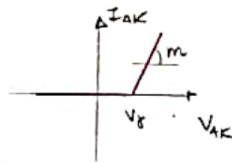


2) TENSION UMBRAL:



$V_Y \approx 0,7V$

3) CON PENDIENTE:



$m = \frac{1}{R_d}$

• RESOLUCIÓN DE PROBLEMAS:

1) SUPONER ESTADO DE DIODO:

ON $V_A > V_K$ ($V_A \gg V_Y$)

OFF $V_A < V_K$ ($V_A \ll V_Y$)

2) CALCULOS

3) COMPROVAR EL ESTADO:

ON $\rightarrow I_{AK} > 0$
 OFF $\rightarrow V_{AK} < V_Y$

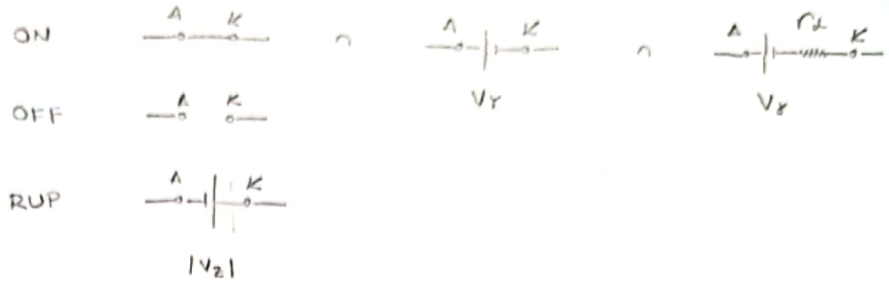
4) FUNCIÓN DE TRANSFERENCIA:

$V_o = f(V_i) \quad \wedge \quad V_i \in (-\infty, \infty)$

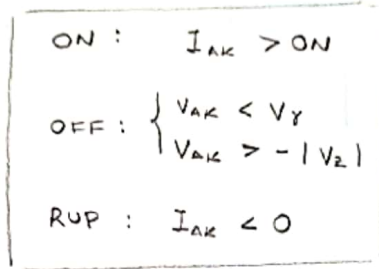
LIMITES \rightarrow COMPROVACIONES

· DIODOS ZENER :

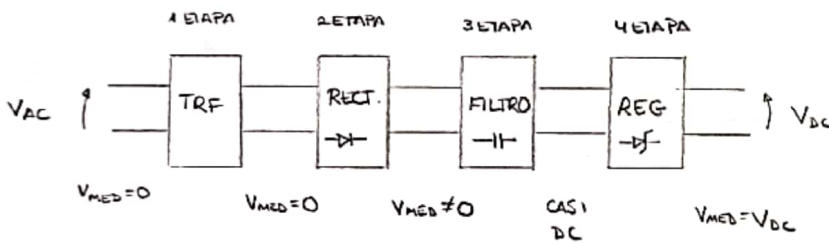
1) ESTADOS DE DIODO :



2) COMPROVACIÓN :



· FUENTES DE ALIMENTACIÓN :



1. ETAPA : $a = RT = \frac{N_1}{N_2} = \frac{V_1}{V_2} = \frac{I_2}{I_1} \quad \sim \quad V_{MED} = 0$

2. ETAPA : \cdot 1/2 ONDA : $\sim \quad V_{MED} = \frac{V_{MAX}}{\pi}$

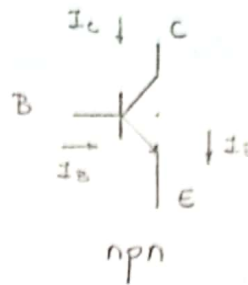
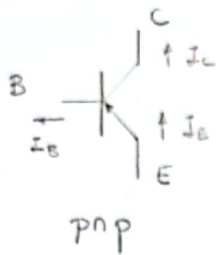
\cdot DOBLE ONDA : - 2 DIODOS : $\sim \quad V_{MED} = \frac{2 V_{MAX}}{\pi}$

- 4 DIODOS :

3. ETAPA : ADB (1/2 ONDA) : $e^{-t/RC} \quad \left| \begin{array}{l} Z = R \cdot C \\ -Z \uparrow \\ -Z \downarrow \end{array} \right.$

4. ETAPA : $V_2 = K I_e \rightarrow R_{UP1} \quad V_F - V_Z = R_{lim} (I_Z + V_Z/R_L)$

TEMA 2: BJT



MODOS DE OPERACIÓN:

UNION E	UNION C	MODO
ON	ON	SATURACIÓN ($\approx \frac{C}{E}$)
ON	OFF	ACTIVO ($I_C \propto I_B$)
OFF	ON	ACTIVO INVERSO
OFF	OFF	CORTE ($\approx \frac{C}{E}$)

MODO ACTIVO: $I_C = \beta I_B$

PARAMETRO DE TRANSISTOR (β):

- $\beta = f(T^\circ)$ [$T \uparrow \rightarrow \beta \uparrow$]
- β CAMBIA DE TRT A TRT.
- INTENTAR DISEÑAR $I_C \neq f(\beta)$

SIGNOS:

		P	n	TENSION
$u_{E_{ON}}$	nPN	B	E	$V_{BE} = 0,7V$
	pNP	E	B	$V_{EB} = 0,7V$
$u_{C_{ON}}$	nPN	B	C	$V_{BC} = 0,7V$
	pNP	C	B	$V_{CB} = 0,7V$

RESOLUCIÓN DE PROBLEMAS:

1) SUPONER ESTADO: ACTIVO: $I_C = \beta I_B$ \wedge $u_{E_{ON}}$

2) CALCULAR: - RESOLVER M. BE } I_B, I_C, I_E
 - RESOLVER M. CE } V_{BE}, V_{CE}, V_{BC}

3) COMPROVAR ESTADO ACTIVO:

- nPN: $V_{CE} > 0$
 - pNP: $V_{CE} < 0$

L_▷ OK: FIN

L_▷ NO OK: PROBAMOS CON SAT. ($\frac{C}{E}$ \wedge $V_{CE} = 0$ o $V_{CE} = 0,2V$):

1) RESOLVER M. CE $\rightarrow I_{C_{SAT}}$

2) COMPROVAMOS SAT: $- I_B > I_{B,MIN} = \frac{I_{C,SAT}}{\beta}$

L_▷ OK: FIN

L_▷ NO OK: ES CORTE ($I_B = I_C = I_E = 0$)

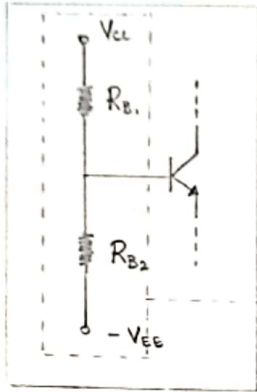
ESTABILIDAD DE CIRCUITOS:

$$R_E > \frac{R_B}{\beta} \cdot 10$$

CONDICIÓN DE ESTABILIDAD

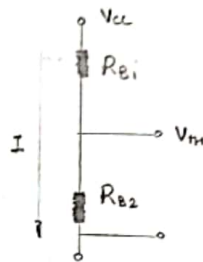
CASO HORQUILLA: $\beta_{min} \leq \beta \leq \beta_{max}$
 ↑
 COMPROBAR

POLARIZACIÓN POR DIVISIÓN DE TENSIÓN:



→ THEVENIN:

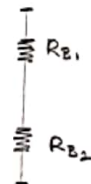
TENSIÓN:



$$I = \frac{V_{CC} - (-V_{EE})}{R_{B1} + R_{B2}}$$

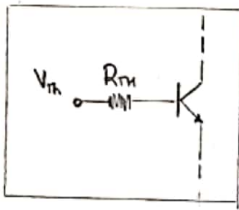
$$V_{TH} = -V_{EE} + R_{B2} \cdot \frac{V_{CC} - (-V_{EE})}{R_{B1} + R_{B2}}$$

RESISTENCIA: (CAPAGAR FUENTES)



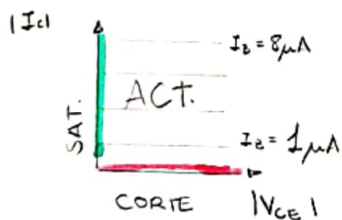
$$R_{TH} = R_{B1} // R_{B2}$$

CIRCUITO EQUIV:

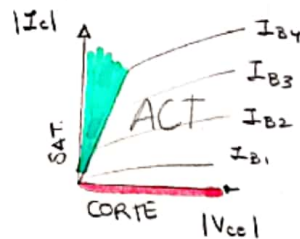


CURVAS BJT: (BJT COMO AMPLIFICADOR)

APB

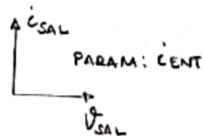


CURVAS DE SALIDA EN EL (BJT IDEAL)

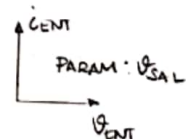


CURVAS DE SALIDA EN EL (BJT REAL)

- CURVA DE SALIDA:



- CURVA DE ENTRADA:

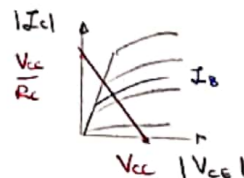
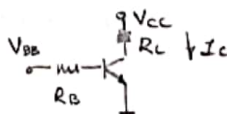


- EFECTO EARLEY: $m \neq 0$ (BJT REAL)

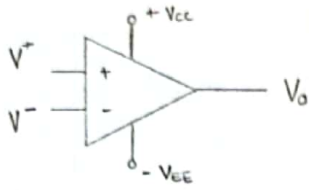
- RECTA DE CARGA ESTÁTICA: <REPRESENTA CIRCUITO>

APB

$$V_{CC} = R_C \cdot I_{CQ} + V_{CEQ}$$



TEMA 3: AMPLIFICADORES OPERACIONALES



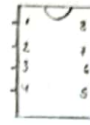
$$V_0 = A(V^+ - V^-)$$

↑
GANANCIA > 0

+ : ENTRADA NO INVERSORA

- : ENTRADA INVERSORA

CIRCUITO INTEGRADO



- 1) REALIMENTACIÓN - (V_0 CONECTADO A V^-) \Rightarrow LINEAL
- 2) REALIMENTACIÓN + (V_0 CONECTADO A V^+) \Rightarrow COMPARADOR HISTERESIS
- 3) SIN REALIMENTACIÓN \Rightarrow COMPARADOR

- REALIMENTACIÓN NEGATIVA :

[CARACTERÍSTICAS IDEALES]

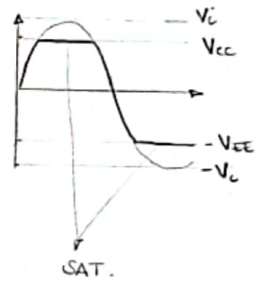
$$A \rightarrow \infty \Leftrightarrow V^+ = V^-$$

$$Z_{in} \rightarrow \infty \Leftrightarrow I^+ = I^- = 0$$

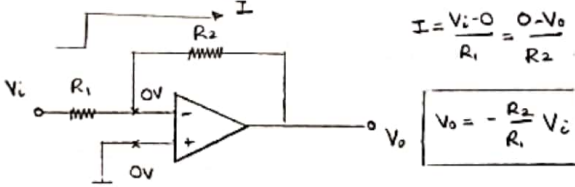
$$Z_{out} = 0 \Leftrightarrow \forall I_o$$

VALIDO A $\forall f$

$$-V_{EE} \leq V_0 \leq V_{CC}$$



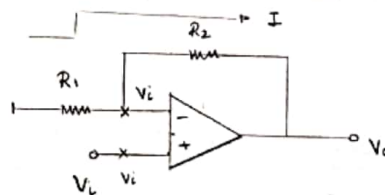
• AMPLIFICADOR INVERSOR :



$$I = \frac{V_i - 0}{R_1} = \frac{0 - V_0}{R_2}$$

$$V_0 = -\frac{R_2}{R_1} V_i$$

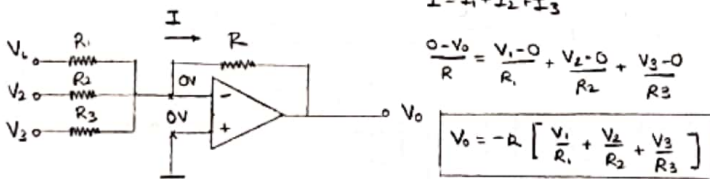
• AMPLIFICADOR NO-INVERSOR :



$$I = \frac{0 - V_i}{R_1} = \frac{V_i - V_0}{R_2}$$

$$V_0 = \left(1 + \frac{R_2}{R_1}\right) V_i$$

• SUMADOR INVERSOR :

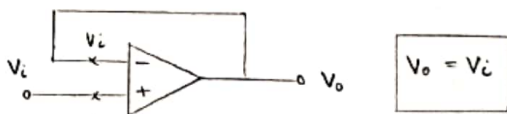


$$I = I_1 + I_2 + I_3$$

$$\frac{0 - V_0}{R} = \frac{V_1 - 0}{R_1} + \frac{V_2 - 0}{R_2} + \frac{V_3 - 0}{R_3}$$

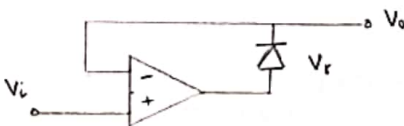
$$V_0 = -R \left[\frac{V_1}{R_1} + \frac{V_2}{R_2} + \frac{V_3}{R_3} \right]$$

• SEGUIDOR O BUFFER :



$$V_0 = V_i$$

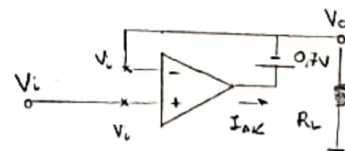
• DIODO DE PRECISIÓN :



$V_D = 0,7V$ RECTIF 1/2 ONDA IDEAL

$$V_0 = \begin{cases} 0 & \text{si } V_i < 0 \\ V_i & \text{si } V_i > 0 \end{cases}$$

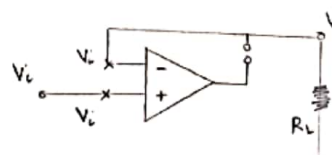
D.ON



COMP. $I_{AK} > 0$

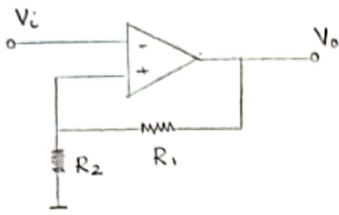
$$\frac{V_0}{R_L} > 0 \rightarrow V_i > 0$$

D.OFF



$$V_0 = 0 = R_L \cdot I$$

- REALIMENTACIÓN POSITIVA :



$$\begin{cases} V_o \uparrow \Rightarrow V^+ \uparrow [V_o = A(V^+ - V^-)] \Rightarrow V_o \uparrow \\ V_o \downarrow \Rightarrow V^- \downarrow [V_o = A(V^+ - V^-)] \Rightarrow V_o \downarrow \end{cases}$$

$$V_o = \begin{cases} +V_{CC} \\ -V_{EE} \end{cases}$$

SIEMPRE SAT / NO CC VIRTUAL

- ESTUDIO DE CONMUTACIÓN :

1) SUP. $V_o = +V_{CC}$

$$\dot{V} = \frac{V_o - V^+}{R_1} = \frac{V^+ - 0}{R_2}$$

$$\rightarrow \begin{cases} V^+ = \frac{+V_{CC} R_2}{R_1 + R_2} \\ V^- = V_i \end{cases} \Rightarrow$$

CONMUT: $V^+ = V^-$

$$V_i = \frac{V_{CC} R_2}{R_1 + R_2}$$

2) SUP. $V_o = -V_{EE}$

$$\dot{V} = \frac{V_o - V^+}{R_1} = \frac{V^+ - 0}{R_2}$$

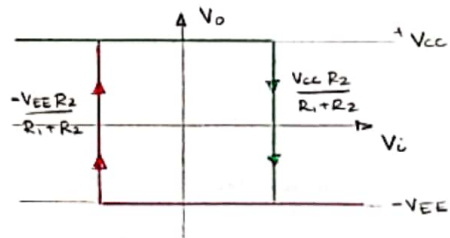
$$\rightarrow \begin{cases} V^+ = \frac{-V_{EE} R_2}{R_1 + R_2} \\ V^- = V_i \end{cases} \Rightarrow$$

CONMUT: $V^+ = V^-$

$$V_i = \frac{-V_{EE} R_2}{R_1 + R_2}$$

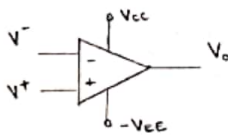
$$V_o = A(V^+ - V^-) \quad \begin{cases} +V_{CC} \rightarrow V^+ > V^- \\ -V_{EE} \rightarrow V^+ < V^- \end{cases}$$

CONMUT: $\begin{cases} +V_{CC} \rightarrow -V_{EE} \\ -V_{EE} \rightarrow +V_{CC} \end{cases} \quad V^+ = V^-$



HISTERESIS

- SIN REALIMENTACIÓN :

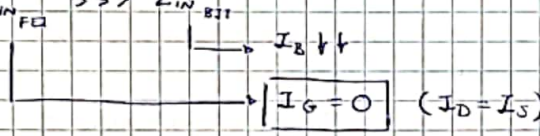


$$V_o = \begin{cases} +V_{CC} & \text{si } V^+ > V^- \\ -V_{EE} & \text{si } V^+ < V^- \end{cases}$$

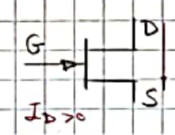
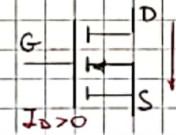

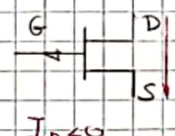
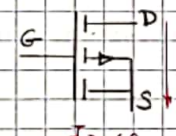
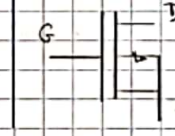
COMPARADOR IDEAL SIN HISTERESIS

FET: FIELD EFFECT TRANSISTOR

DIFERENCIAS BJT - FET:

- 1.- BJT \rightarrow bipolar \equiv cor., depende del mvto de 2 tipos de port. $\left\{ \begin{array}{l} e^- \\ h^+ \end{array} \right.$
 FET \rightarrow unipolar \equiv cor. " " " " 1 tipo de port.
- 2.- BJT $\rightarrow I_c = \beta I_B \equiv$ fuente de corriente controlada por corriente.
 FET $\rightarrow I_D = f(\bar{E}) \equiv I_D = f(V) \equiv$ fuente de cor. controlada por tensión.
- 3.- D \rightarrow drain \rightarrow C
 G \rightarrow gate \rightarrow B
 S \rightarrow source \rightarrow E
- 4.- $Z_{in\ FET} \gg Z_{in\ BJT}$

- 5.- En AC: BJT / FET Ampl. de señal $\rightarrow \Delta_{v\ BJT} \gg \Delta_{v\ FET}$ (GANANCIA)
- 6.- RUIDO_{BJT} \gg RUIDO_{FET}
- 7.- FET \rightarrow mucho en SIST. DIGITALES

TIPOS DE FET

	JFET	ACUMULACION (UGALIZE)	DEPLEXIÓN (URRIZE)	
CANAL N e^-				D CONECTADO A V_0
CANAL P h^+				D CONECTADO A V_0

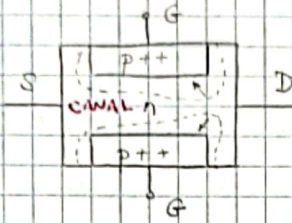
JUNCTION \rightarrow JFET

B: BULK $\rightarrow I^{al}$ de SUBSTRATO \equiv S

MOSFET
(ISOLATED GAT.)
ACUMULACION
DEPLEXION

- PPIO DE FUNCIONAMIENTO JFET CANAL N

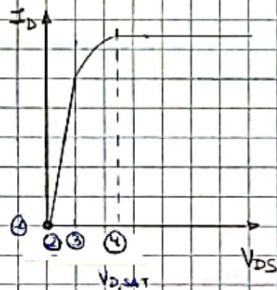
↳ analizar $I_D = f(V_{GS}, V_{DS})$



CANAL N
CANAL P ⇒ S: I_{e^-} por donde entran los portadores.
D: I_{e^-} por donde salen los portadores.

UNION PN ESTÁ EN INVERSA ⇒ GENERA UNA ZONA DE ALTO E DE N.A.P. QUE ES TANTO MAYOR CUANTO MAYOR SEA LA TENSION INVERSA QUE SOPORTA.

- a) $V_{GS} = 0$
- ① $V_{DS} = 0$ → NO OCURRE NADA → $I_D = 0$
 - ② $V_{DS} \uparrow$ → EL MATERIAL $\perp R$ → $I_D \propto V_{DS}$
 - ③ $V_{DS} \uparrow \uparrow$ → EL CANAL SE ESTRECHA → $R_{canal} \uparrow$ → $I_D \uparrow$ PERO LENTAMENTE
 - ④ $V_{DS} \uparrow \uparrow \uparrow$ → LA CURVA $I_D - V_{DS}$ SE HACE PLANA

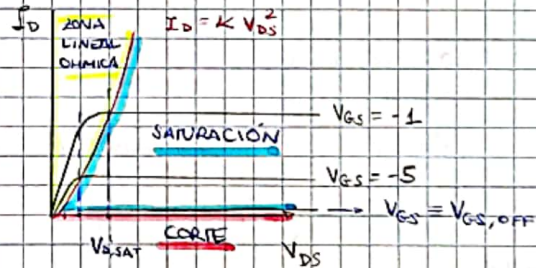


④ $\equiv V_{DS, SAT}$: EL CANAL SE CIERRA →

→ EFECTO DE CAMPO: HACE CIRCULAR ELECTRONES MAS RÁPIDO MIENTRAS SE QUEDA SIN ESPACIO DE CANAL $\perp I = kV^2$

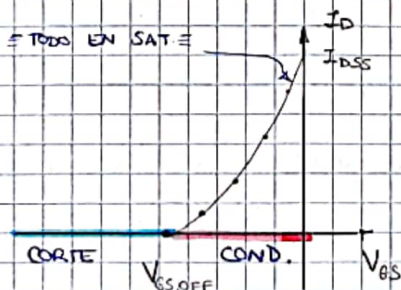
b) $V_{GS} < 0$

- (NEGATIVA PARA QUE SEA INVERSA)
- (CIERRA CANAL MAS RÁPIDO)
- MISMO EFECTO MAS RÁPIDO



$$V_{DS, SAT} = V_{GS} - V_{GS, OFF}$$

- SATURACIÓN \perp FUENTE DE CORRIENTE
- APROXIMACIÓN LINEAL



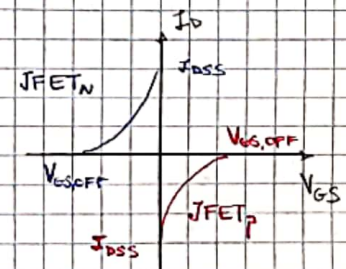
$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS, OFF}}\right)^2$$

RESUMEN: JFET CANAL N

- $V_{GS} < 0$
- $V_{DS} > 0$
- $I_D > 0$
- $I_{DSS} > 0$
- $V_{GS, OFF} < 0$

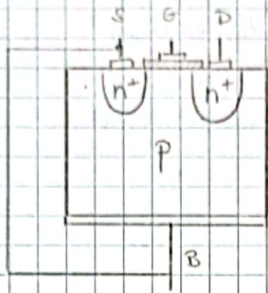
JFET CANAL P

- $V_{GS} > 0$
- $V_{DS} < 0$
- $I_D < 0$
- $I_{DSS} < 0$
- $V_{GS, OFF} > 0$



MOSFET DE ACUMULACIÓN / URRITZE

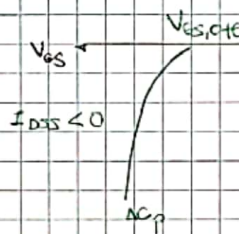
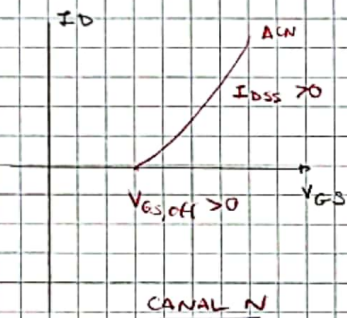
CANAL N



VARIAR $V_{GS} (= V_{GB})$ PARA QUE LOS e^- DEL SILICIO SUBAN HACIA LA REGION DE CANAL (SE ACUMULAN ENTRE S Y D) Y SE FORMA UN CANAL PRACTICABLE (que permite la conducción) entre S y D

$$L_0 V_{GS} > 0$$

→ HAY QUE ALCANZAR UN MINIMO V_{GS} PARA SER PRACTICABLE → $V_{GS,off}$



$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS,off}}\right)^2$$

$$I_D = K (V_{GS} - V_{GS,off})^2$$

MOSFET DE DEPLECIÓN / URRITZE

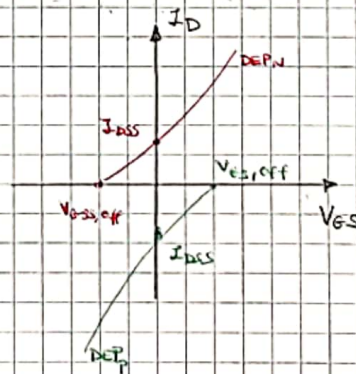
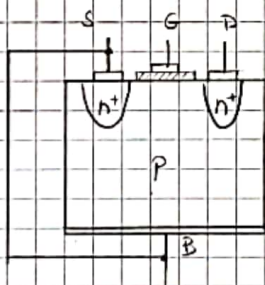
ACUMULACION → NO HAY CORRIENTE ENTRE S Y D SIN TENER QUE APLICAR UNA TENSION PARA QUE SE UN CANAL PRACTICABLE

DEPLEXION → $V_{GS} \Rightarrow 0$ CONDUCE, AÑADIENDO EL CANAL ENTRE S Y D

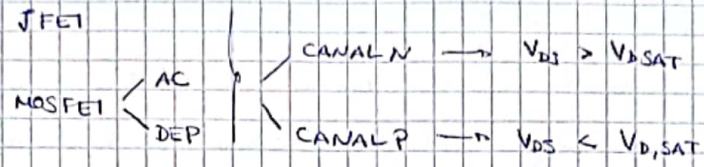
UNA IMPLANTACIÓN IÓNICA.

IONES - si canal N

IONES + si canal P



RECUERDA: NOS INTERESA ESTAR EN SAT!



ELECTRONICA DIGITAL

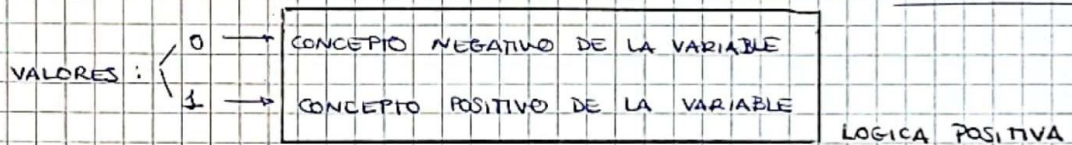
- 1) INTRO - ALGEBRA DE BOOLE
- SMAS NUMERICOS
- 2) SIST. COMBINACIONALES → NO TIENEN MEMORIA
- 3) SIST. SECUENCIALES → SI TIENEN MEMORIA

TEMA 1: INTRODUCCIÓN: ALGEBRA DE BOOLE

DIGITALIZAR INFO → VARIABLES LOGICAS (VARIABLES BINARIAS)

1.- puede tomar 1 de 2 valores

2.- esos 2 valores deben ser mutuamente excluyentes



LOGICA DE PROPOSICIÓN

PROPOSICIÓN es V o F

1 o 0

OPERACIONES que se pueden aplicar a variables logicas

- DISTINCIÓN: PROP1 ó PROP2 → OR (SUMA LÓGICA $a + b$)

- CONJUNCIÓN: PROP1 y PROP2 → AND (PROD. LÓGICO $a \cdot b$)

- NEGACIÓN: NO PROP1 → NOT (NEGACIÓN \bar{a})

	a			a			a		\bar{a}
+	0	1		0	1		0	1	
b	0	1		0	1		0	1	
	1	1		1	1		1	0	

TEOREMAS Y PROPIEDADES

$$a + b = b + a$$

$$a + 0 = a$$

$$a + 1 = 1$$

$$a + a = a$$

$$a \cdot b = b \cdot a$$

$$a \cdot 1 = a$$

$$a \cdot 0 = 0$$

$$a \cdot a = a$$

CONMUT.

ELEM. NEUTRO

$$a + \bar{a} = 1$$

$$a + (b \cdot c) = (a + b) \cdot c$$

$$a + ab = a$$

$$a \cdot \bar{a} = 0$$

$$a \cdot (b \cdot c) = (a \cdot b) \cdot c$$

$$a(a + b) = a$$

TEMA DE ABSORCIÓN

$$a(b + c) = ab + ac$$

PROP. DISTRIBUTIVA

$$a + bc = (a + b)(a + c)$$

$$\overline{a+b} = \bar{a} \cdot \bar{b}$$

$$\overline{a \cdot b} = \bar{a} + \bar{b}$$

TMA DE MORGAN

FUNCIONES LOGICAS

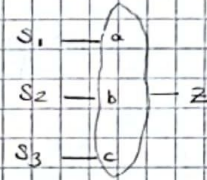
$$Z = f(a, b, c, \dots, \uparrow, \cdot, \bar{})$$

\uparrow DEP. \uparrow INDEP.

ADB

$$Z = a + \bar{b}c$$

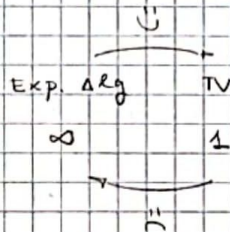
Expr. algebraica de la func.



por extensión: Listar todas las opciones posibles de valores de variables independientes y a partir el valor de la variable dep.

a	b	c	Z
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

nº de comb. = 2ⁿ



TV → expr.

a	b	c	Z	PROD. CANO. MINITERMS	SUM CANO. MAXITERMS
0	0	0	0	$\bar{a}\bar{b}\bar{c}$	$a+b+c$
0	0	1	1	$\bar{a}\bar{b}c$	$a+b+\bar{c}$
0	1	0	0	$\bar{a}b\bar{c}$	$a+\bar{b}+c$
0	1	1	0	$\bar{a}bc$	$a+\bar{b}+\bar{c}$
1	0	0	1	$a\bar{b}\bar{c}$	$\bar{a}+b+c$
1	0	1	1	$a\bar{b}c$	$\bar{a}+b+\bar{c}$
1	1	0	1	abc	$\bar{a}+\bar{b}+c$
1	1	1	1	abc	$\bar{a}+\bar{b}+\bar{c}$

PROD = 1 $\left\{ \begin{array}{l} \forall bl=0 \rightarrow \bar{a}b\bar{c} \\ \forall bl=1 \rightarrow a\bar{b}c \end{array} \right.$
 MINTERM
 SUM = 0 $\left\{ \begin{array}{l} \forall bl=0 \rightarrow \bar{a}b\bar{c} \\ \forall bl=1 \rightarrow a\bar{b}c \end{array} \right.$
 MAXTERM

EXPRESIÓN CANONICA (EXTENSA)

$$Z = \sum_{Z=1} \text{MINTERM} = \bar{a}\bar{b}c + a\bar{b}\bar{c} + a\bar{b}c + ab\bar{c} + abc$$

$$Z = \prod_{Z=0} \text{MAXTERM} = (a+b+c)(a+\bar{b}+c)(a+\bar{b}+\bar{c})$$

SIMPLIFICAR LA FUNCIÓN

- TMA Y PROPIEDAS BOLE
- MAPAS DE KARNAUGH

ADB: $a\bar{b}\bar{c} + a\bar{b}c + \dots = a\bar{c}(b+\bar{b}) = a\bar{c} \cdot 1 = a\bar{c}$

ADYACENTES LÓGICOS
LOS COMÚN

MAPAS DE KARNAUGH

a \ b	0	1
0		
1		

a \ bc	00	01	11	10
0				
1				

a \ cd	00	01	11	10
0				
1				

ADB:

a \ bc	00	01	11	10
0	0	1	0	0
1	1	1	1	1

$Z = a + \bar{b}c$

GRUPOS DE 1 (MINITERM)

- Tamaño 2^n y forma REGULAR
- menor n° de grupos
- CADA GRUPO LO MAYOR POSIBLE

a \ bc	00	01	11	10
0	0	1	0	0
1	1	1	1	1

$Z = (a + \bar{b})(a + c) =$

GRUPOS DE 0 (MAXITERM)

- Tamaño 2^n REGULAR
- MENOR n° DE GRUPOS
- CADA GRUPO LO MAYOR POSIBLE

$= a\bar{a} + a\bar{b} + ca + c\bar{b} = a + c\bar{b}$

(TMA ABS)

ADB

$f(a,b,c) = \sum (2, 4, 5, 6)$

a \ bc	00	01	11	10
0	0	1	3	2
1	4	5	7	6

$f = a\bar{b} + \bar{b}c$

ADB $f(a,b,c,d) = \sum (3, 6, 7, 11, 12, 14, 15)$

		cd			
	ab	00	01	11	10
00				1	
01				1	1
11		1		1	1
10				1	

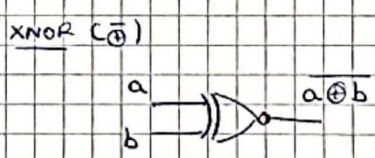
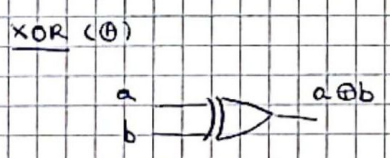
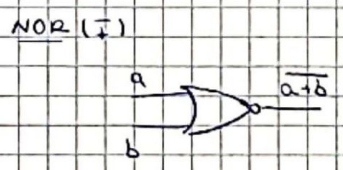
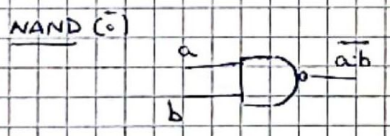
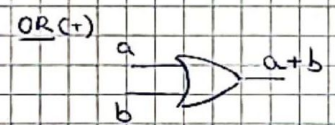
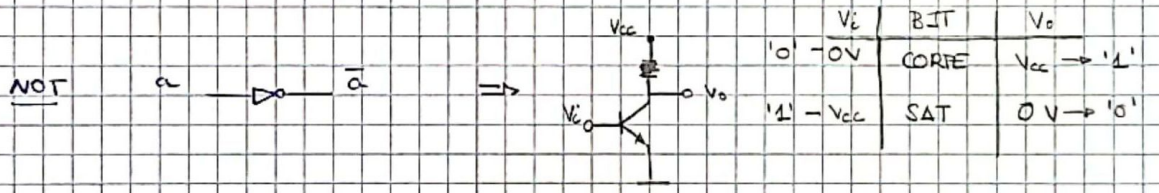
$f = cd + cb + a b \bar{d}$

$f(a,b,c,d) = \sum (1, 5, 6, 7, 11, 12, 13, 15)$

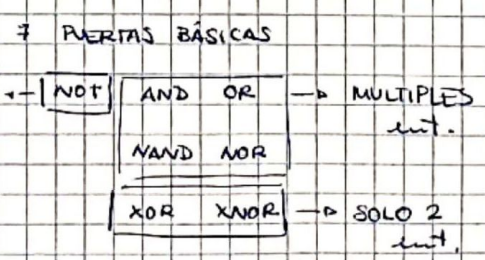
		cd			
	ab	00	01	11	10
00		1			
01			1	1	
11		1		1	
10				1	

$z = \bar{a}\bar{c}d + \bar{a}bc + abc\bar{c} + acd$

IMPLEMENTACIÓN DE FUNCIONES LÓGICAS ⇒ PUERTAS LÓGICAS



a	b	$a \oplus b$	$a \oplus \bar{b}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1



Se pueden construir \forall función lógica.

USANDO AND, OR y NOT

o'

USANDO COMBINACIONES, DE LAS 7 P.B.

o'

USANDO SOLO **NAND**

o'

USANDO SOLO **NOR**

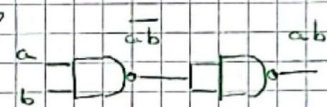
a	b	\overline{ab}
0	0	1
0	1	1
1	0	1
1	1	0

Suficiencia de puertas NAND:

NOT?

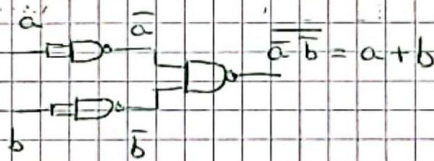


AND?



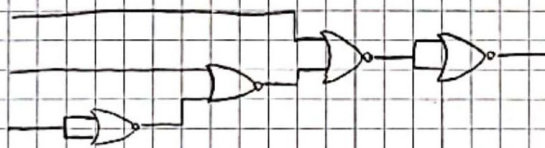
OR?

$$a + b = \overline{\overline{a+b}} = \overline{\overline{a} \cdot \overline{b}}$$



ADB

$$z = \overline{\overline{a + b \cdot c}} = \overline{\overline{a + \overline{\overline{b + \overline{\overline{c}}}}} = \overline{\overline{a + \overline{b + \overline{c}}} = \overline{\overline{a + \overline{b + \overline{c}}}} =$$



SISTEMAS NUMERICOS

$$N^o: \dots \frac{a_4}{b^4} \frac{a_3}{b^3} \frac{a_2}{b^2} \frac{a_1}{b^1} \frac{a_0}{b^0}, \frac{a_{-1}}{b^{-1}} \frac{a_{-2}}{b^{-2}} \frac{a_{-3}}{b^{-3}} \frac{a_{-4}}{b^{-4}} \dots$$

SIST. DECIMAL : $b=10$ $a_i \in [0,9]$

SIST. BINARIO : $b=2$ $a_i \in [0,1]$

SIST. OCTAL : $b=8$ $a_i \in [0,7]$

SIST. HEX : $b=16$ $a_i \in [0,F]$

$$N^o = \dots + a_3 b^3 + a_2 b^2 + a_1 b^1 + a_0 b^0 + a_{-1} b^{-1} + a_{-2} b^{-2} + \dots$$

ADB

$$1010_2 = 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 10_{10}$$

$$110110001_2 = 2^8 + 2^7 + 2^5 + 2^4 + 2^3 = 433_{10}$$

$$2A3_{16} = 2 \cdot 16^2 + 10 \cdot 16^1 + 3 \cdot 16^0 = 675_{10}$$

0	0	0	0	-	0	-	0
0	0	0	1	-	1	-	1
0	0	1	0	-	2	-	2
0	0	1	1	-	3	-	3
0	1	0	0	-	4	-	4
0	1	0	1	-	5	-	5
0	1	1	0	-	6	-	6
0	1	1	1	-	7	-	7
1	0	0	0	-	8	-	8
1	0	0	1	-	9	-	9
1	0	1	0	-	10	-	A
1	0	1	1	-	11	-	B
1	1	0	0	-	12	-	C
1	1	0	1	-	13	-	D
1	1	1	0	-	14	-	E
1	1	1	1	-	15	-	F

ADB

$$751_{10} \rightarrow \frac{1}{2^9} \frac{0}{2^8} \frac{1}{2^7} \frac{1}{2^6} \frac{1}{2^5} \frac{0}{2^4} \frac{1}{2^3} \frac{1}{2^2} \frac{1}{2^1} \frac{1}{2^0}$$

$$751 - 512 = 239$$

$$239 - 128 = 111$$

$$111 - 64 = 47$$

$$47 - 32 = 15$$

CURIOSIDADES:

n° pares acaban en 0

n° impares acaban en 1

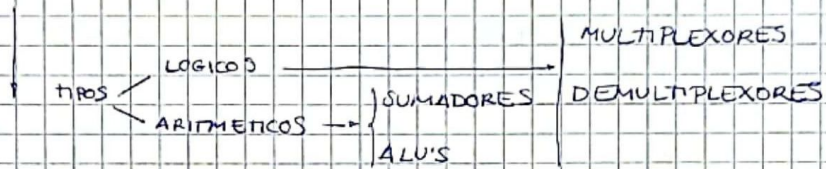
x2 \rightarrow añado 0 por DECH

1. SUMAR EN BINARIO

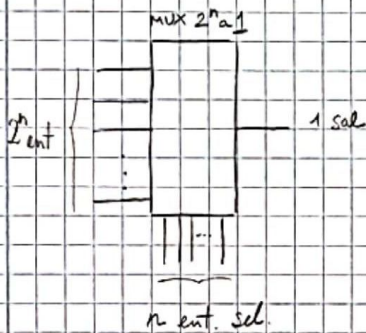
+	0	1
0	0	1
1	1	10

	1	1	1	1	1	1	1	1	0	← LLEVADAS
	1	0	0	1	1	1	1	1	0	
+	1	0	0	0	1	0	0	1	1	
	1	0	0	1	0	1	0	0	1	

2. SISTEMAS COMBINACIONALES (NO MEMORIA)

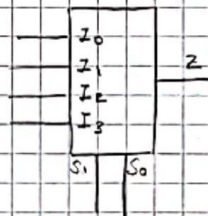


MULTIPLEXOR : SELECTOR DIGITAL



- MUX 2 a 1 → 1 ent. selecc.
- MUX 4 a 1 → 2 ent. selecc.
- MUX 8 a 1 → 3 ent. selecc.

ADB:

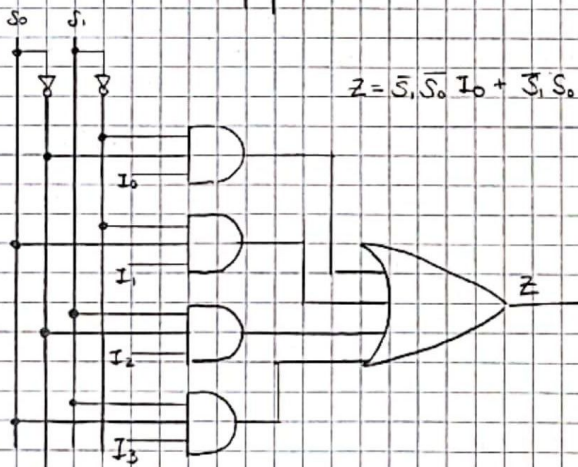


TV PARAM:

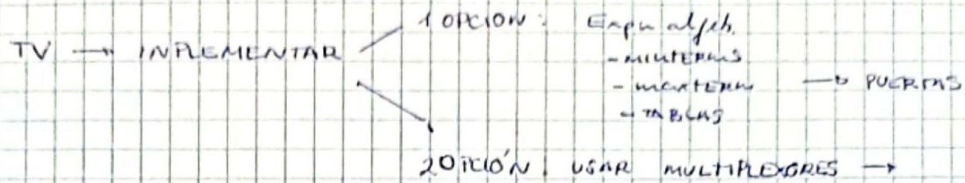
S ₁	S ₀	Z
0	0	I ₀
0	1	I ₁
1	0	I ₂
1	1	I ₃

MINTERMS:

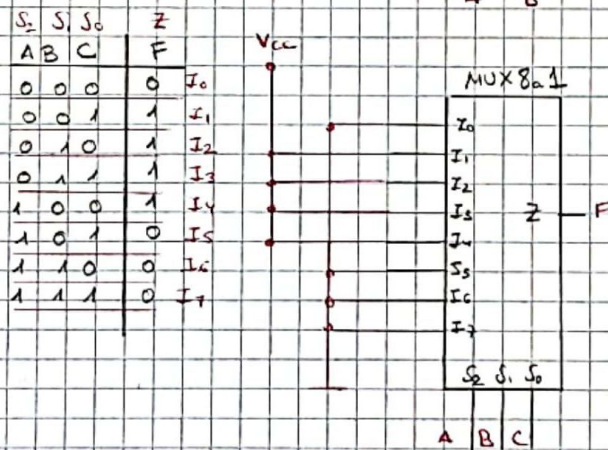
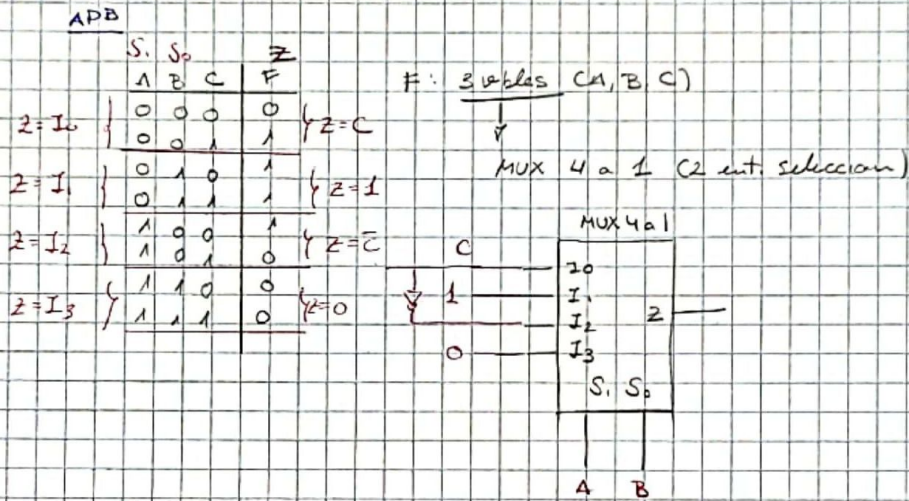
$$Z = \sum_{z=1} \text{MINTERMS}$$



- APLICACIÓN CON MULTIPLEXORES: GENERACIÓN DE FUNCIONES LÓGICAS

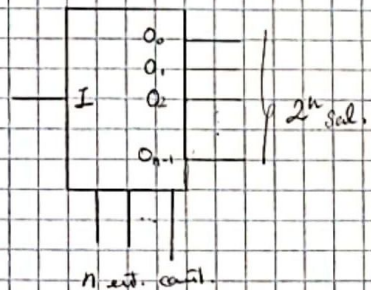


- func. de n variables → necesitas al menos un MUX de n-1 entr. control.
- mux de n entr. control → puedo construir func. de como mucho n+1 vbles.

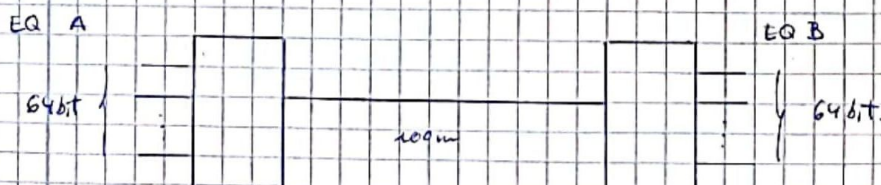


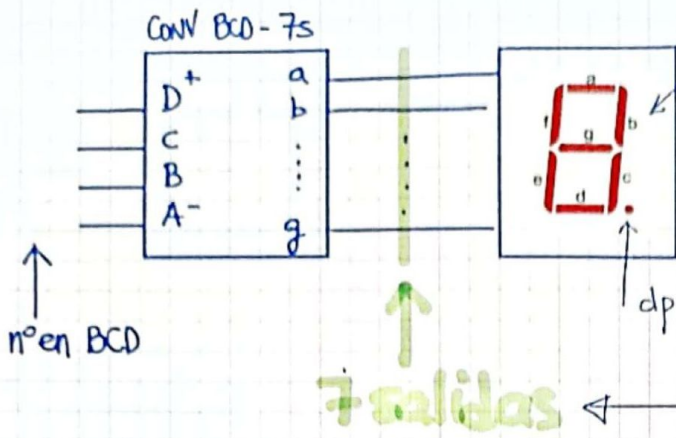
DEMULTIPLEXOR LABOR INVERSA AL MULTIPLEXOR

S ₁	S ₀	O ₀	O ₁	O ₂	O ₃
0	0	I	0	0	0
0	1	0	I	0	0
1	0	0	0	I	0
1	1	0	0	0	I



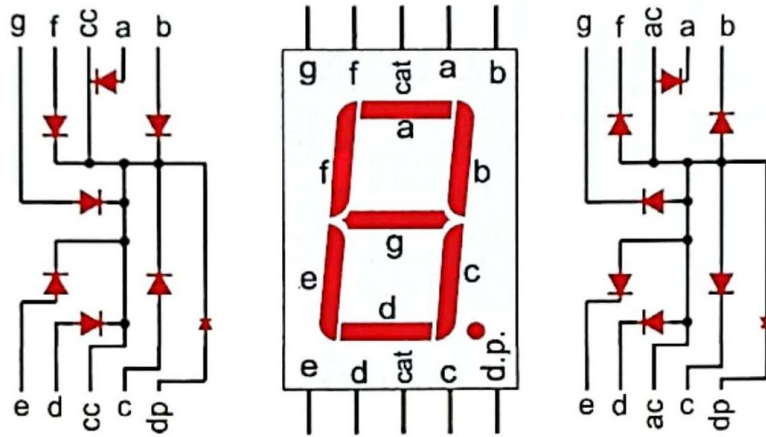
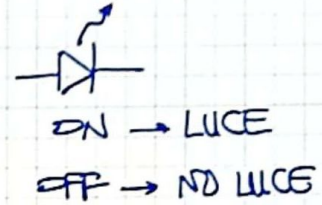
- APLIC. MUX + DMUX: → COMUNIC. SERIE





$a, b, c, \dots, g \rightarrow$ diodos LED \Rightarrow
 \Rightarrow que la salida del CONV tiene que estar compuesta por 7 bit

Display 7 segmentos \Rightarrow DOS TIPOS



Cátodo Común

Ánodo Común

Habrán 2 Conv BCD-7s

Display CC
 Display AC

CC : '0' \rightarrow 0V

AC : '1' \rightarrow 5V

a, b, \dots, g : '0' \rightarrow 0V \rightarrow OFF
 '1' \rightarrow 5V \rightarrow ON

a, b, \dots, g : '0' \rightarrow 0V \rightarrow ON
 '1' \rightarrow 5V \rightarrow OFF

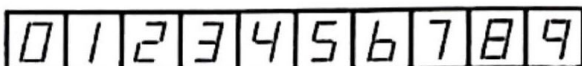
! Truth Table of CD4511

Inputs							Outputs							
LE	\overline{BI}	\overline{LT}	D	C	B	A	a	b	c	d	e	f	g	Display
X	X	0	X	X	X	X	1	1	1	1	1	1	1	B
X	0	1	X	X	X	X	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	1	0	0	0	0
0	1	1	0	0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	0	0	1	1	0	0	1	1	1
0	1	1	0	1	0	1	1	0	1	1	0	1	1	1
0	1	1	0	1	1	0	0	0	1	1	1	1	1	1
0	1	1	1	0	1	1	1	1	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1	1	1	1	1
0	1	1	1	0	0	1	1	1	1	0	0	1	1	1
0	1	1	1	0	1	0	0	0	0	0	0	0	0	0
0	1	1	1	0	1	1	0	0	0	0	0	0	0	0
0	1	1	1	1	0	1	0	0	0	0	0	0	0	0
0	1	1	1	1	1	0	0	0	0	0	0	0	0	0
0	1	1	1	1	1	1	0	0	0	0	0	0	0	0
1	1	1	X	X	X	X	0	0	0	0	0	0	0	.

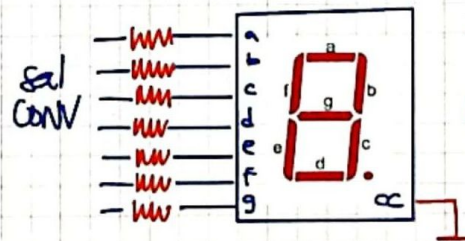
X - Don't Care

*Depends upon the BCD code applied during the 0 to 1 transition of LE.

Display

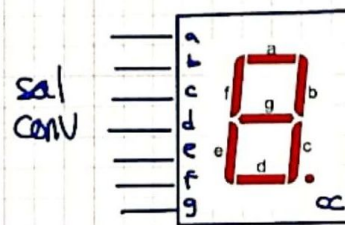


Resist por no quemar los LED!!



$I = cte$

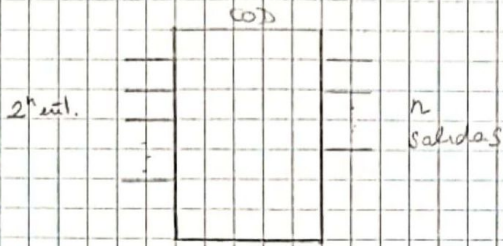
LED siempre lucen con la misma intensidad



$I = f(n^{\circ} \text{ de leds encendidos})$

Int. con la que lucen los LED es variable

CODIFICADOR DE PRIORIDAD



CODIF 4 a 2
 CODIF 8 a 3
 CODIF 16 a 4

$I_7 I_6 I_5 \dots I_0$

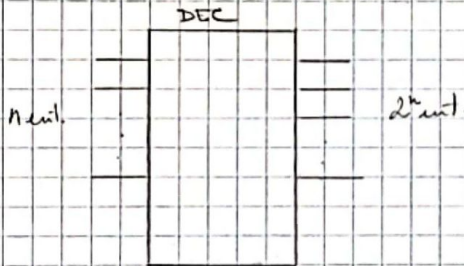
+ prioridad -

X: don't care

GS: INDICA ACTIVACION

I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	O_2	O_1	O_0	GS
1	x	x	x	x	x	x	x	1	1	1	1
0	1	x	x	x	x	x	x	1	1	0	1
0	0	1	x	x	x	x	x	1	0	1	1
0	0	0	1	x	x	x	x	1	0	0	1
0	0	0	0	1	x	x	x	0	1	1	1
0	0	0	0	0	1	x	x	0	1	0	1
0	0	0	0	0	0	1	x	0	0	1	1
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	0	0	0	0	0

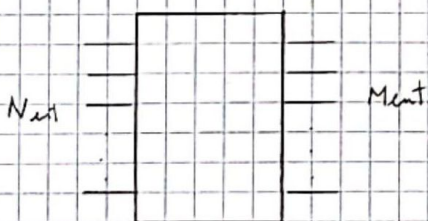
DECODIFICADOR LABOR CONTRARIA A COD.



DEC 2 a 4
 DEC 3 a 8
 DEC 4 a 16

I_1	I_0	O_3	O_2	O_1	O_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

CONVERTIDOR DE CODIGO



$I_{n-1} I_{n-2} \dots I_0$

EJEMPLO + TIPICO → CONVERTIDOR BCD - 7 SEGMENTOS ⇒ VISUALIZACIÓN de nros en displays.

BDC: Binary Coded Decimal

↳ CODIFICA CADA CIFRA DECIMAL DE UN N° CON BINARIO D 4 BITS)

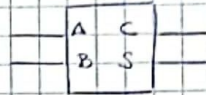
0	1	2	3	4	5	6	7	8	9
0000	0001	0010	0011	0100	0101	0110	0111	1000	1001

ADD: 547 → 0111 0100 0111

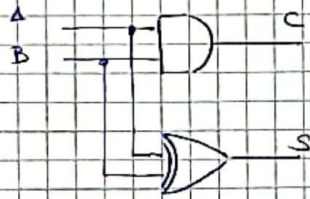
SUMADOR

	C_4	C_3	C_2	C_1	
		A_3	A_2	A_1	A_0
+		B_3	B_2	B_1	B_0
	C_4	S_3	S_2	S_1	S_0

HALF-ADDER



A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

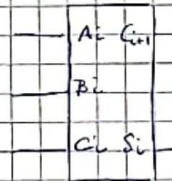


$$C = A \cdot B$$

$$S = A \oplus B$$

HALF-ADDER
SEMISUMADOR

FULL-ADDER



A_i	B_i	C_i	C_{i+1}	S_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

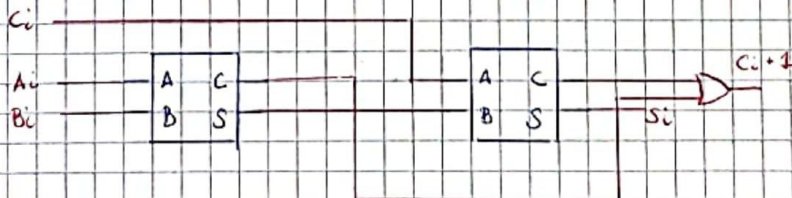
$C_{i+1} = A_i B_i + A_i C_i + B_i C_i$
 $S_i = A_i \oplus B_i \oplus C_i$

	$B_i C_i$			
A_i	00	01	10	11
0	0	0	1	0
1	0	1	1	1

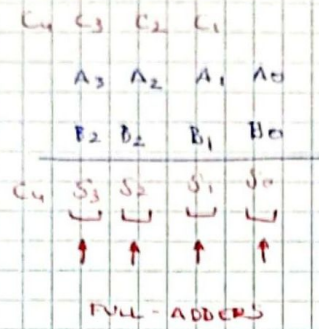
→ C_{i+1}

	$B_i C_i$			
A_i	00	01	11	10
0	0	1	0	1
1	1	0	1	0

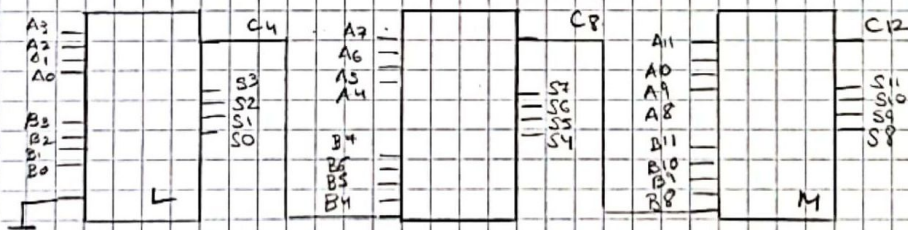
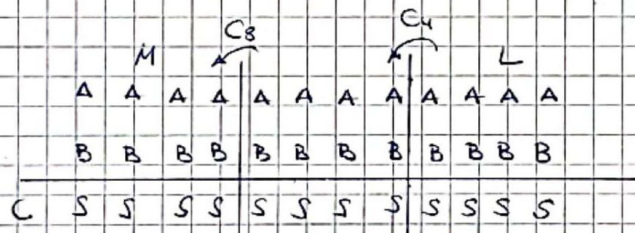
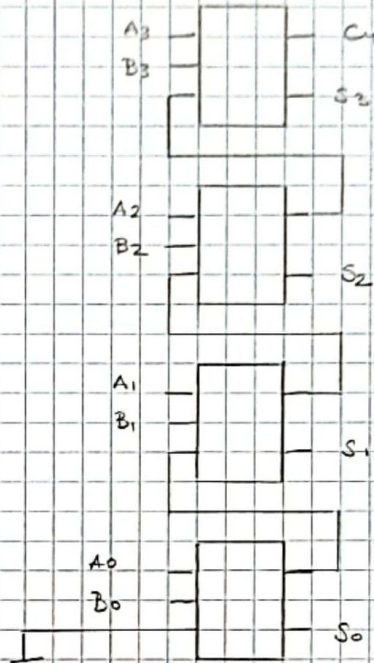
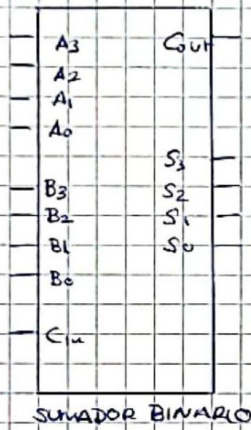
→ S_i



SUMADOR BINARIO



- NO SE DEJAN ENTRADAS AL AIRE
- NO SE DEJAN SALIDAS



3.- SISTEMAS SECUENCIALES → circuitos de memoria que tienen la capacidad de recordar (almacenar) 1 bit

Necesitamos un nuevo elemento que introduzca esa capacidad de recordar. → BISTABLES / BÍSCULAS / CERROJOS / LATCHES / FLIP-FLOP

FF: célula básica de memoria que tiene la capacidad de recordar (almacenar) 1 bit

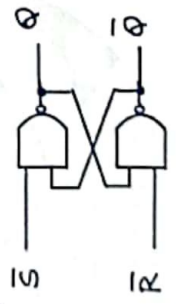
→ sólo dispone de 2 estados posibles.
 mantener un 0 | →
 mantener un 1 | →
 → de forma independiente (si nos interesa que así sea) aunque haya aparecido la señal excitadora que lo genera ese estado

FLIP-FLOPS → RS / D / T / JK
 interés didáctico



R	S	Q _{nH}	Q _n	Q _{nH}	Q _n
0	0	1	0	1	0
1	0	0	1	0	1
1	1	no usa	no usa	no usa	no usa

Un FF RS se puede hacer con puertas NAND:

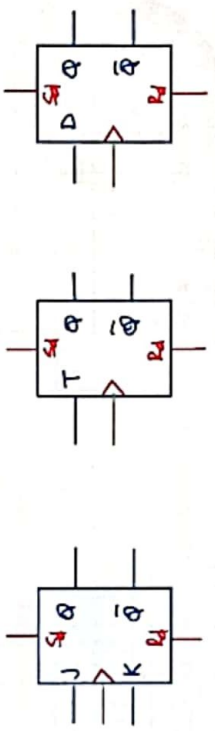


R-bar	S-bar	Q _{nH}	Q _n
0	0	no usado	no usado
0	1	0	1
1	0	1	0
1	1	Q _n	Q _n

I K A S T E K - Luis Briñas 9 - 48013 (Bilbao)

Los FF que se utilizan "realmente" en los diseños se refieren a sergio.ikastek@gmail.com 600 797 765

RS v D
 JK
 T
 D



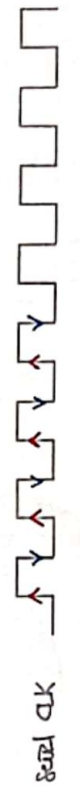
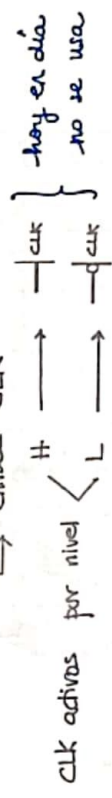
J: set K: reset

J	K	Q _{nH}	Q _n
0	0	Q _n	Q _n
0	1	0	1
1	0	1	0
1	1	Q _n	Q _n

T	Q _{nH}	Q _n
0	Q _n	Q _n
1	Q _n	Q _n

D	Q _{nH}	Q _n
0	0	1
1	1	0

NOTAS: Los FF que se usan son normalmente FF síncronos → los salidas de los FF sólo hacen caso de las entradas en ciertos instantes.
 → entrada CLK

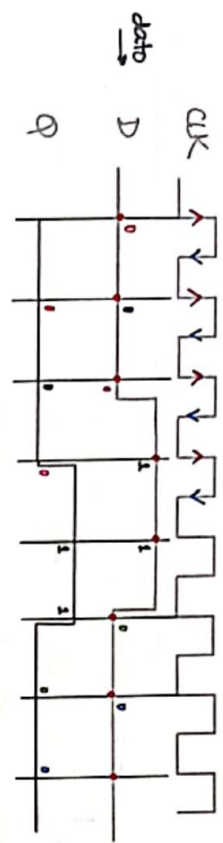


¿Qué ocurre en los intervalos en los que las salidas "no hacen caso" a las entradas del FF?
 → el FF MANTIENE EL ESTADO

I K A S T E K - Luis Briñas 9 - 48013 (Bilbao)

Ej: FF.D en CLK \downarrow

sergio.lkastek@gmail.com
600 797 765



Para poder fijar el valor de la salida en independencia del CLK (funcionamiento síncrono) usamos a añadir una entrada asíncrona (normalmente indep. del CLK) que posibilite que fijemos el valor de la salida a un estado (0 o 1) cuando.

ENT. ASÍNCRONAS $\left\{ \begin{array}{l} \text{PRESET / SET} \\ \text{CLEAR / RESET} \end{array} \right\}$ SON LAS ENTRADAS + REDEFINICIONES DEL FF

Ello de lo verdad de un FF JK síncrono (además por fuera de salida) y un estado asíncrono:

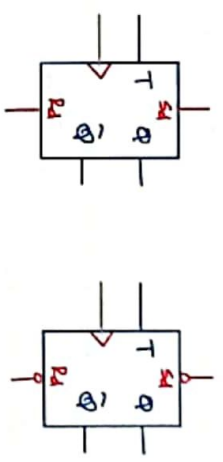
SJ	RJ	CLK	J	K	Q _{nH}	Q _{nL}
0	0	0	X	X	Q _n	\bar{Q}_n
0	0	1	X	X	Q _n	\bar{Q}_n
0	0	0	X	X	Q _n	\bar{Q}_n
0	0	0	↑	↑	Q _n	1
0	0	0	↑	↑	0	Q _n
0	0	0	↑	↑	1	Q _n
0	0	0	↑	↑	0	Q _n
0	0	0	↑	↑	1	Q _n
0	1	0	X	X	0	1
1	0	0	X	X	1	0
1	1	0	X	X	1	1

Responsabilidad del diseñador que no se use

1 1 NO SE USA

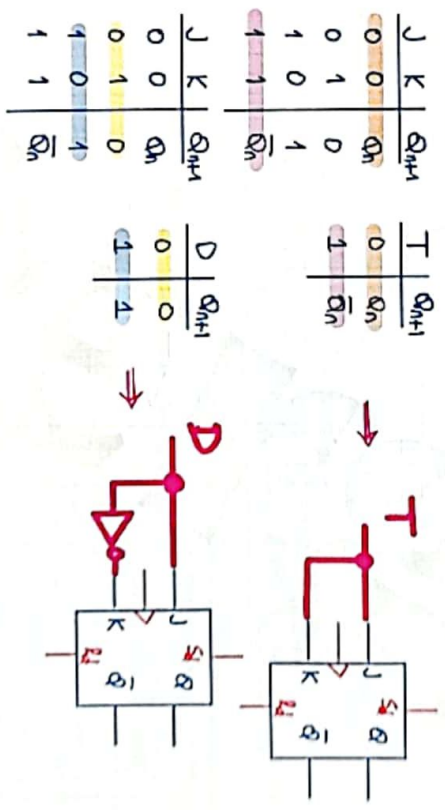
La forma + sencilla de garantizar que los circuitos asíncronos no se activen simultáneamente es poner una de ellos.
I K A S T E K - Luis Briñas 9 - 48013 (Bilbao)

Las entradas ASÍNCRONAS pueden ser $\left\{ \begin{array}{l} \text{activas a nivel alto} \\ \text{activas a nivel bajo} \end{array} \right.$
sergio.lkastek@gmail.com
600 797 765



S₁=1 → Q=1
R₁=1 → Q=0
S₁=0 → Q=1
R₁=0 → Q=0
S₁=R₁=0 → FUNC. SÍNC.
S₁=R₁=1 → FUNC. SÍNC.

CONSTRUCCIÓN DE FF D, T A PARTIR DE FF JK

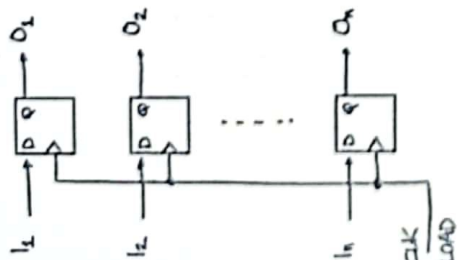


Clasificación de circuitos secuenciales (tipos de circuitos que podemos construir con FF)

REGISTROS $\left\{ \begin{array}{l} \text{Registros de almacenamiento} \\ \text{Registros de desplazamiento} \end{array} \right.$
CONTADORES $\left\{ \begin{array}{l} \text{Contador en anillo} \\ \text{Contador Johnson} \\ \text{Contador binario} \end{array} \right.$

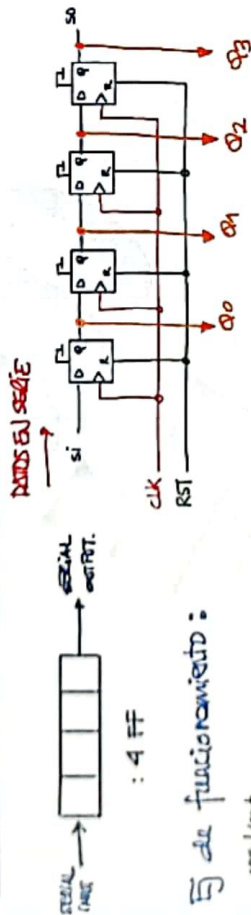
I K A S T E K - Luis Briñas 9 - 48013 (Bilbao)

REGISTRO DE ALMACENAMIENTO

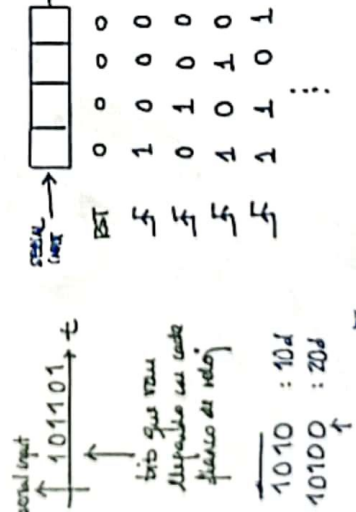


Circuito que sirve para almacenar un conjunto de n bits.
 n bits \Rightarrow n FF.

REGISTRO DE DESPLAZAMIENTO

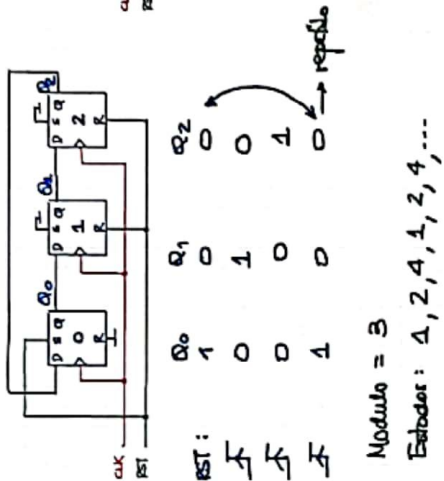


Ej de funcionamiento:

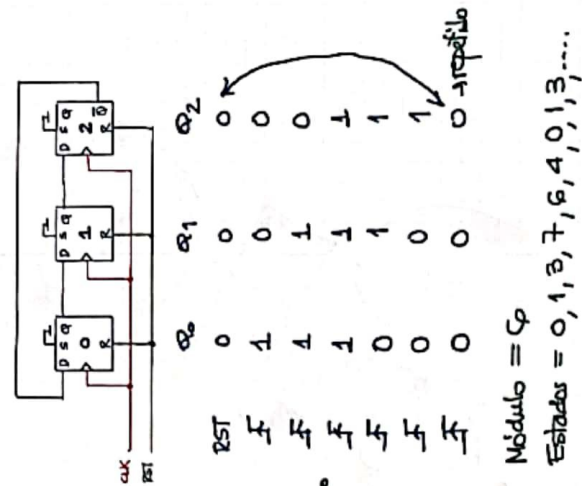


CONTADORES SÍNCRONOS BASADOS EN REGISTROS DE DESPLAZAMIENTO

Contador en ANILLO (n FF)
 Módulo: n



Contador JOHNSON (n FF)
 Módulo: 2n



MÓDULO DE UN CONTADOR: El nº real de estados por los que pasa un contador

CONTADOR SÍNCRONO BINARIO

≡ **FLIP-FLOP** en BINARIO
 ergio.lkas@gmail.com
 600 797 765

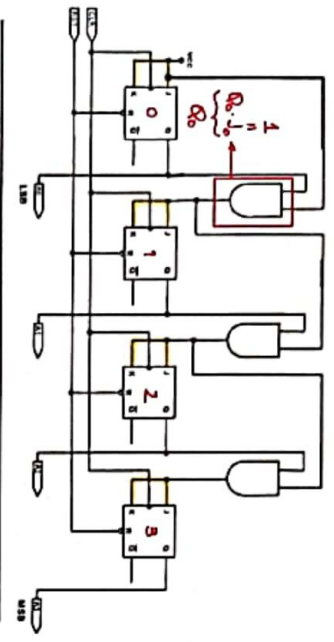


Figura 7.13 Contador síncrono binario ascendente de módulo 16 con llevada en serie (ripple carry counter).

n FF
 ↓
 módulo : 2^n

La cuenta en orden creciente desde 0000 hasta 1111 (n=4)

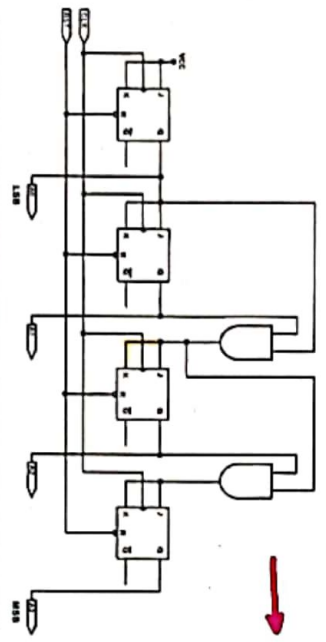


Figura 7.14 Contador síncrono binario ascendente de módulo 15 con llevada en serie (ripple carry counter).

→ Por supuesto, como los FF JK tienen sus entradas contrarrestadas → podemos construir el contador síncrono binario usando los FFP-RDPS T