

AU_OUT

Sarrerak:

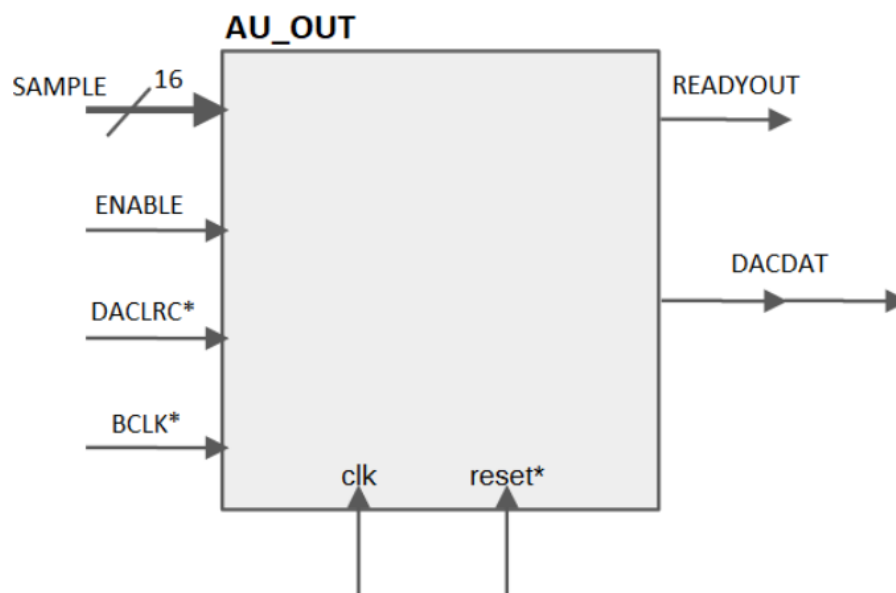
- Sample: 16 biteko laginak hartzen ditu.
- Enable: AU_OUT modulua martxan jarri (Sample datu sarrera prozesatzen hasteko).
- DacLrc: Sinkronizazio-seinalea zein kanalarekin aritzen ari den adierazteko.
- Bclk: Sinkronizazio-seinalea datua noiz irakurri adierazteko (gorako ertzean).

Irteerak:

- ReadyOut: Laginak, bidaltzeko prest dauden adierazi.
- DacDat: Serie-lerro bat CODECari laginak bidaltzeko, eskuineko zein ezkerreko kanaletatik. hartuz laginak.

Funtzionamendua:

Modulu honek CODECari datuak bidali egiten dizkio, hain zuzen ere, soinu-datuak. Soinuaren seinale analogikoa, digitalizatu egiten da (laginetan banatu) eta modulu honek lagin hauek bidali egiten dizkio CODECari.



Diseinuaren azalpena

Prozesu unitateko gailuak:

- Desplazamendu erregistro bat Sample-eko datuak gorde eta Bit-ak banan bana bidaltzeko.
- Multiplexore bat Sample-eko datuak noiz bidali aukeratzeko.
- Kontagailu bat L edo R kanaletik bildatzen ari den jakiteko.
- Bi D biegonkor BELK* eta DACLRC* seinale asinkronoak sinkronizatzeko.

Kontrol algoritmoa:

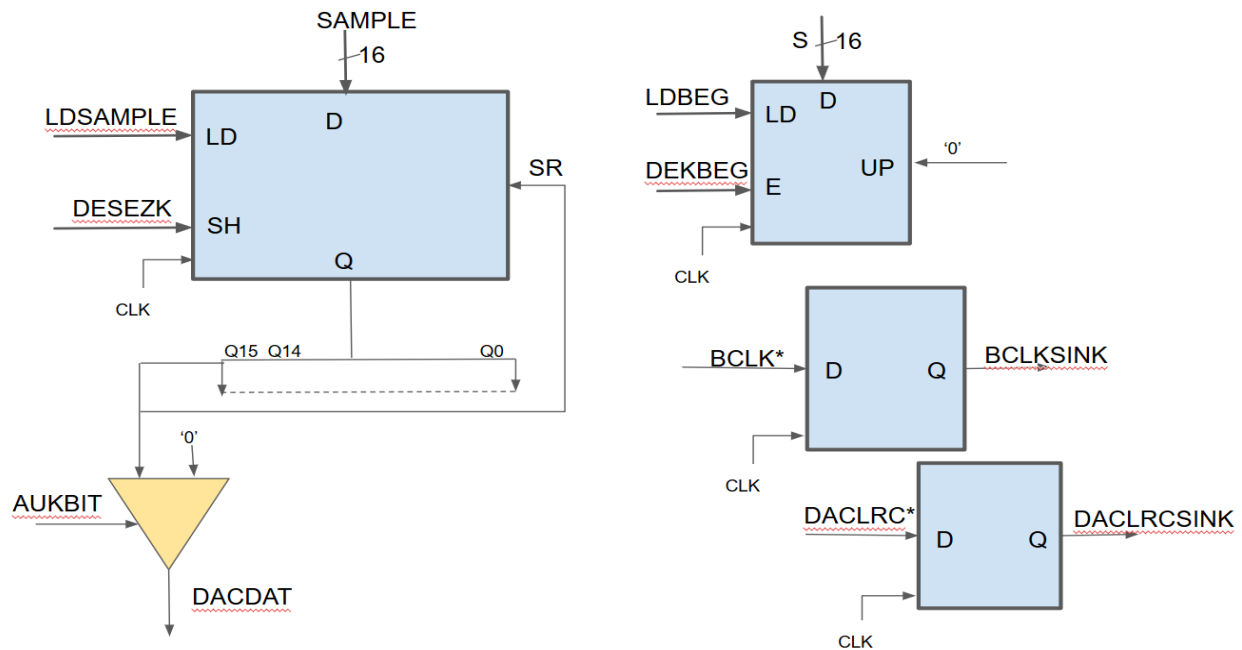
Zazpi egoeratako algoritmoa da. Hasieran, Enable 1 izan arte egoera berean mantendu egiten da, eta 1 denean LDSAMPLE eta LDBEG seinaleak aktibatzen dira, Sample-eko datuak eta S-ko datuak hartzeko ReadyOut egoerara pasaz.

Gero E2 egoerara pasako da eta DACLRC 0 izan arte egoera berean mantendu egiten da, behin 0 izanda E3 pasako da eta DACLRC 0 edo BCLK 1 izanda egoera berean mantenduko da. Bestela AUKBIT egoerara pasako da, non ezkerreko kanaletik pisu handieneko bit-a aukeratuko duen.

Egoera honetan BCLK 0 bada, DESEZK eta DEKBEG seinaleak aktibatuko dira kontagailuak 1 kenduko dio gordetako datuari eta E5 egoerara pasako da. Non ezkerreko kanalaren azkenengo bita ez bada, 0-n jarriko da eta berriro AUKBIT egoerara bueltako da eta 1 izanez gero Eskuineko kanalera pasako da, E6 egoera.

Hemen DACLRC 0 izanez hasierako egoerara E0 pasako da, aldiz 1 izanez E7 azkenengo egoerara joango da. Non hemem mantenduko den DACLRC 1 eta BCLK 1 izaten bada.

Prozesu Unitatearen Diagrama



Kontrol Unitatearen ASM Grafoa

